

การทวนสอบวงจรรวมวารแบบควอไซต์โดยอินเซนซิทีฟโดยซิกแนลทรานส์ชันกราฟ

นาย เด่นดวง ประดับสุวรรณ



สถาบันวิทยบริการ  
วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรมหาบัณฑิต  
สาขาวิชาวิทยาศาสตร์คอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์

บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

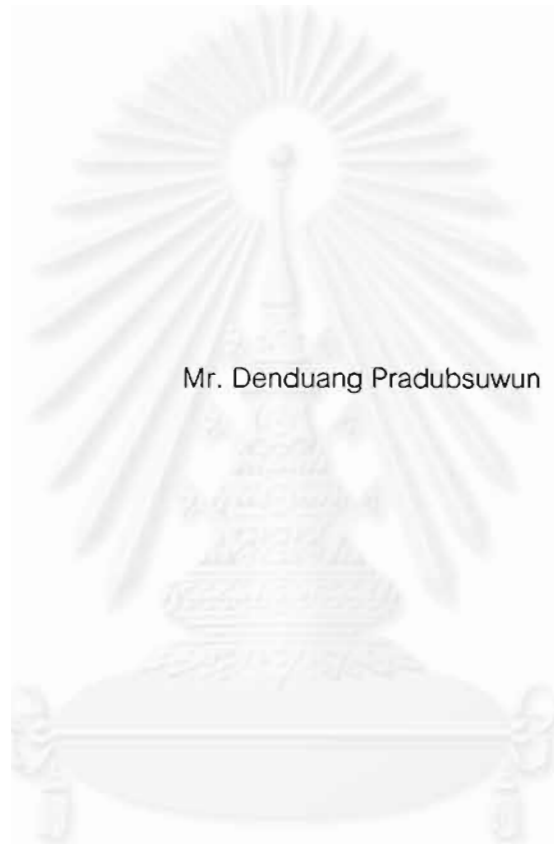
ปีการศึกษา 2542

ISBN 974-332-933-1

ลิขสิทธิ์ของบัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

๕ 1 ๘๗1030X

VERIFICATION OF QUASI-DELAY-INSENSITIVE ASYNCHRONOUS CIRCUITS  
BY THE SIGNAL TRANSITION GRAPH



A Thesis Submitted in Partial Fulfillment of the Requirements  
for the Degree of Master of Science in Computer Science

Department of Computer Engineering

Graduate School

Chulalongkorn University

Academic Year 1999

ISBN 974-332-933-1

หัวข้อวิทยานิพนธ์ การทวนสอบวงจรถอมสารแบบควอไซดีเลย์อินเซนซิทีฟโดยซิกแนลทรานส์ชันกราฟ  
โดย นาย เด่นดวง ประดับสุวรรณ  
ภาควิชา วิศวกรรมคอมพิวเตอร์  
อาจารย์ที่ปรึกษา อาจารย์ ดร.อาทิตย์ ทองทัชช์

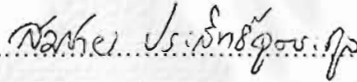
---

บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้บัณฑิตวิทยาลัยฉบับนี้เป็นส่วนหนึ่งของการ  
ศึกษาตามหลักสูตรปริญญาวิทยาศาสตรบัณฑิต

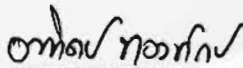


..... คณบดีบัณฑิตวิทยาลัย  
( รองศาสตราจารย์ ดร.สุชาดา กิระนันท์ )

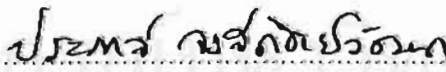
คณะกรรมการสอบวิทยานิพนธ์



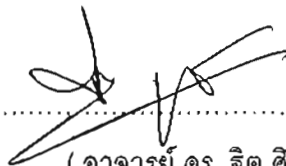
..... ประธานกรรมการ  
( ผู้ช่วยศาสตราจารย์ ดร.สมชาย ประสิทธิ์จิตรตระกูล )



..... อาจารย์ที่ปรึกษา  
( อาจารย์ ดร. อาทิตย์ ทองทัชช์ )



..... กรรมการ  
( ผู้ช่วยศาสตราจารย์ ดร.ประภาส จงสถิตย์วัฒนา )



..... กรรมการ  
( อาจารย์ ดร. จิต ศิริบูรณ์ )

เด่นดวง ประดับสุวรรณ : การทวนสอบวงจรสมวารแบบควอไซ์ดีเลย์อินเซนซิทีฟโดยซิกแนลทรานสิชันกราฟ (VERIFICATION OF QUASI-DELAY-INSENSITIVE ASYNCHRONOUS LOGIC CIRCUITS BY THE SIGNAL TRANSITION GRAPH) อ.ที่ปรึกษา: ดร.อาทิตย์ ทองทักษ์, 106หน้า. ISBN 974-332-933-1.

การทวนสอบวงจรเป็นกระบวนการที่ใช้ตรวจสอบความถูกต้องตรงกันระหว่างคุณลักษณะของวงจรที่ได้ออกแบบไว้กับวงจรที่ได้จากการสังเคราะห์ วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบและพัฒนาขั้นตอนวิธีการทวนสอบวงจรสมวารแบบควอไซ์ดีเลย์อินเซนซิทีฟเชิงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์ ขั้นตอนวิธีการทวนสอบวงจรแบ่งเป็นสองชั้น ได้แก่ ชั้นที่หนึ่งทำการทวนสอบแต่ละวงจรย่อย และชั้นที่สองทำการทวนสอบทั้งวงจรโดยจะพิจารณาเฉพาะสัญญาณเชื่อมต่อของแต่ละวงจรย่อย

ในแต่ละขั้นของการทวนสอบจะใช้วิธีการจำลองเชิงเหตุการณ์ด้วยภาษา Verilog กับเวกเตอร์ทดสอบที่สร้างขึ้นมา การสร้างเวกเตอร์ทดสอบจะได้มาจากการวิเคราะห์ซิกแนลทรานสิชันกราฟโดยใช้เทคนิคต่างๆร่วมกัน ได้แก่ เทคนิคการคอนแทรคซิกแนลทรานสิชันกราฟ, แนวความคิดการวิเคราะห์คุณสมบัติ concurrent temporal relation ของการเปลี่ยนแปลงสัญญาณในซิกแนลทรานสิชันกราฟสำหรับวงจรที่มีการทำงานแบบอินพุต-เอาต์พุต และเทคนิคการทดสอบเส้นทางพื้นฐาน นอกจากนี้ยังประยุกต์ใช้เทคนิคการประเมินความเชื่อถือได้ด้านเวลาของวงจรสมวารเพื่อตรวจสอบความถูกต้องในการทำงานของวงจรที่มีโมเดลความหน่วงแบบควอไซ์ดีเลย์อินเซนซิทีฟด้วย

ขั้นตอนวิธีการทวนสอบวงจรสมวารที่ได้นำเสนอในงานวิจัยฉบับนี้ เป็นวิธีการทวนสอบอย่างกึ่งแบบแผนแบบ smart simulation นับเป็นวิธีการทวนสอบที่ได้นำเสนอเพื่อแก้ไขข้อจำกัดของวิธีการทวนสอบแบบเดิม ซึ่งจากผลทดลองในการสร้างเวกเตอร์ทดสอบเพื่อทำการทวนสอบชั้นที่หนึ่งกับเกณฑ์เปรียบเทียบสมรรถนะแสดงให้เห็นว่าเมื่อนำตัววัดทางซอฟต์แวร์ ได้แก่ค่าความซับซ้อนไซโคลเมตริกมาใช้เป็นแนวทางกำหนดจำนวนเวกเตอร์ทดสอบจะสามารถลดจำนวนเวกเตอร์ทดสอบได้เท่ากับ 21.08% จากจำนวนเวกเตอร์ทดสอบที่เป็นไปได้ทั้งหมด และสามารถลดจำนวนเวกเตอร์ทดสอบได้เท่ากับ 87.81% เมื่อเทียบกับวิธีการทวนสอบแบบทั้งวงจร นอกจากนี้ขั้นตอนวิธีการทวนสอบเชิงลำดับชั้นยังมีข้อดีอื่นๆอีกได้แก่ ช่วยลดความซับซ้อนในการทวนสอบทั้งวงจร, สามารถตรวจพบความผิดพลาดได้รวดเร็วโดยไม่จำเป็นต้องทำการทวนสอบทั้งวงจรเสร็จสิ้น และสามารถนำผลการทวนสอบมาใช้กับวงจรย่อยที่มีโครงสร้างเหมือนกันได้อีก

ภาควิชา.....วิศวกรรมคอมพิวเตอร์..... ลายมือชื่อนิสิต.....เด่นดวง.....ประดับสุวรรณ.....  
สาขาวิชา.....วิทยาศาสตร์คอมพิวเตอร์..... ลายมือชื่ออาจารย์ที่ปรึกษา.....อ.ทอทักษ์.....  
ปีการศึกษา.....2542..... ลายมือชื่ออาจารย์ที่ปรึกษาร่วม.....

## 4070278821 MAJOR COMPUTER ENGINEERING

KEYWORD: VERIFICATION / SPECIFICATION / ASYNCHRONOUS CIRCUITS / QUASI-DELAY-  
INSENSITIVE / SIGNAL TRANSITION GRAPH

DENDUANG PRADUBSUWAN : VERIFICATION OF QUASI-DELAY-INSENSITIVE  
ASYNCHRONOUS CIRCUITS BY THE SIGNAL TRANSITION GRAPH. THESIS ADVISOR :  
ARTHIT THONGTAK, Ph.D. 106 pp. ISBN 974-332-933-1.

The circuit verification is a process to assure the correctness between the implemented circuit and its specification. This thesis proposes a design and development of the hierarchical verification process for Quasi - Delay - Insensitive (QDI) asynchronous circuits based on event-driven simulation. The complete verification process has two levels. First, we will verify each sub-circuit with respect to its specification and then we will verify the whole circuit by considering only interconnected signals between sub-circuits.

In each level of verification, we apply the test vector with event-driven simulation developed by Verilog in order to verify the asynchronicity of the circuit. The test vector is derived from the analysis of the Signal Transition Graph (STG) using various techniques including STG contraction, analysis of the concurrent temporal relation on STG based on input-output mode circuit's operation, and basis path testing. Moreover, we apply the timing - reliability evaluation of asynchronous circuit technique to verify correctness of the QDI circuit's operation.

Our approach is the smart simulation which is arranged in a semi-formal method. It can avoid the limitations of traditional verification methods. Experimenting with a set of benchmark circuits, the proposed approach shows high performance when measured by software metric i.e. cyclomatic complexity, which determines the number of test vectors. The results show a 21.08% reduction in numbers of all test vectors required for the first level of verification and an 87.81% reduction in numbers of all test vectors from the flat verification. In addition, our approach can also be carried out in a hierarchical structure. It also has other advantages such as reducing the complexity which is found in the whole circuit verification method, and quickly finding problems in the preliminary level without finish examining the whole circuit. Lastly, the verification results can be applied to similar sub-circuits without repeating the verification process.

ภาควิชา.....วิศวกรรมคอมพิวเตอร์.....      ลายมือชื่อนิสิต.....เดวิดาง.....ประดิษฐ์วณ.....  
สาขาวิชา.....วิทยาศาสตร์คอมพิวเตอร์.....      ลายมือชื่ออาจารย์ที่ปรึกษา.....อภิเดช ทอวาท.....  
ปีการศึกษา.....2542.....      ลายมือชื่ออาจารย์ที่ปรึกษาร่วม.....

กิตติกรรมประกาศ



วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยความช่วยเหลืออย่างดียิ่งของอาจารย์ ดร.อาทิตย์ ทอง  
ทักษ์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ ซึ่งท่านได้ให้คำแนะนำและข้อคิดเห็นต่าง ๆ ในการวิจัยมาด้วยดี  
ตลอด และเนื่องจากทุนการวิจัยครั้งนี้บางส่วนได้รับมาจากทุนอุดหนุนการวิจัยของบัณฑิตวิทยาลัย จึงขอ  
ขอบพระคุณบัณฑิตวิทยาลัยมา ณ ที่นี้ด้วย

ขอขอบคุณ คุณกรรณก เขื่อนวิทยา ที่ได้ให้โน้ตบุ๊กคอมพิวเตอร์ไว้สำหรับการทำวิจัย

ขอขอบคุณ คุณศิริพร แก้วแป้นผา ที่ได้ให้ความช่วยเหลือในการพิมพ์รูปเล่มวิทยานิพนธ์

ขอขอบคุณ คุณจรัสรัฐ วัฒนชนม์ ที่ได้ให้ความช่วยเหลือในการจัดทำรูปวงจรที่ใช้เป็นเกณฑ์เปรียบเทียบสมรรถนะ

ขอขอบคุณ คุณเกริก ภิรมย์โสภา ที่ได้ให้คำแนะนำเกี่ยวกับภาษา Verilog

ขอขอบคุณ ห้อง Digital System Engineering Laboratory ที่ให้ความช่วยเหลือในด้านสถานที่  
และเครื่องมือที่ใช้ในการทำวิจัย

ขอขอบคุณพี่ ๆ และเพื่อน ๆ ที่ได้ให้คำปรึกษาและความช่วยเหลือในด้านต่าง ๆ ซึ่งทำให้การ  
ทำงานวิจัยเป็นไปอย่างราบรื่น

ท้ายนี้ ผู้วิจัยใคร่ขอกราบขอบพระคุณ บิดา-มารดา ที่ให้การสนับสนุนในด้านการเงินและให้  
กำลังใจแก่ผู้วิจัยเสมอมาจนสำเร็จการศึกษา

## สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	ง
บทคัดย่อภาษาอังกฤษ.....	จ
กิตติกรรมประกาศ.....	ฉ
สารบัญ.....	ช
สารบัญภาพ.....	ฅ
สารบัญตาราง.....	ฎ
บทที่	
1 บทนำ.....	1
1.1 การทวนสอบวงจร.....	1
1.2 ความเป็นมาและความสำคัญของปัญหา.....	5
1.3 วัตถุประสงค์ของการวิจัย.....	6
1.4 ขอบเขตของการวิจัย.....	6
1.5 ขั้นตอนและวิธีดำเนินงานวิจัย.....	7
1.6 ประโยชน์ที่คาดว่าจะได้รับ.....	7
1.7 บทความที่ตีพิมพ์จากงานวิจัย.....	7
1.8 เนื้อหาของวิทยานิพนธ์.....	8
2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง.....	9
2.1 ชิกแนลทรานซิสชันกราฟ.....	9
2.2 การแยกชิกแนลทรานซิสชันกราฟโดยใช้เทคนิคการคอนแทรคชิกแนลทรานซิสชันกราฟ.....	13
2.3 โมเดลความหน่วงแบบควอไซดีเลย์อินเซนซิทีฟ.....	15
2.4 การทดสอบเส้นทางพื้นฐาน.....	16
2.5 การจำลองเชิงเหตุการณ์.....	17
2.6 การประเมินผลความเชื่อถือได้ด้านเวลาของวงจรสมวาร.....	18
2.7 สรุป.....	20
3 การทวนสอบวงจรสมวารเชิงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์.....	22
3.1 การทวนสอบวงจรสมวารเชิงลำดับชั้นขั้นที่ 1.....	22
3.2 การทวนสอบวงจรสมวารเชิงลำดับชั้นขั้นที่ 2.....	28
3.3 สรุป.....	30

สารบัญ (ต่อ)

	หน้า
บทที่	
4 การทวนสอบวงจรสมวารเชิงลำดับขั้นขั้นที่ 1.....	31
4.1 การสร้างเวกเตอร์ทดสอบ.....	31
4.2 การจำลองเวกเตอร์ทดสอบเชิงเหตุการณ์.....	44
4.3 สรุป.....	46
5 การทวนสอบวงจรสมวารเชิงลำดับขั้นขั้นที่ 2.....	48
5.1 การสร้างเวกเตอร์ทดสอบ.....	48
5.2 การจำลองเวกเตอร์ทดสอบเชิงเหตุการณ์.....	52
5.3 สรุป.....	54
6 ตัวอย่างการทวนสอบวงจรและการทดลองกับเกณฑ์เปรียบเทียบสมรรถนะ.....	55
6.1 ตัวอย่างการทวนสอบวงจร fifo.....	55
6.2 ตัวอย่างการทวนสอบวงจรที่ไม่ถูกต้องตามคุณลักษณะ.....	61
6.3 ผลการทดลองและสรุปผลการทดลอง.....	62
6.4 สรุป.....	64
7 สรุปผลการวิจัยและข้อเสนอแนะ.....	68
7.1 สรุปผลการวิจัย.....	68
7.2 ข้อจำกัด.....	69
7.3 ข้อเสนอแนะ.....	69
รายการอ้างอิง.....	70
ภาคผนวก	
ภาคผนวก ก.....	72
ภาคผนวก ข.....	87
ภาคผนวก ค.....	91
ประวัติผู้วิจัย.....	106



## สารบัญภาพ

		หน้า
รูปที่ 1.1	การทวนสอบโดยใช้วิธีการจำลอง.....	1
รูปที่ 1.2	การทวนสอบอย่างมีแบบแผน.....	2
รูปที่ 1.3	สเปคตรัมของเทคนิคต่างๆที่ใช้ทวนสอบวงจร.....	4
รูปที่ 2.1	(a) ตัวอย่างซิกแนลทรานสิชันกราฟ (b) state graph ของรูป 2.1(a).....	9
รูปที่ 2.2	(a) ตัวอย่างซิกแนลทรานสิชันกราฟที่มีคุณสมบัติ input choice (b) state graph ของรูป 2.2(a).....	12
รูปที่ 2.3	ขั้นตอนวิธีการสังเคราะห์วงจรจากซิกแนลทรานสิชันกราฟ.....	12
รูปที่ 2.4	(a) ซิกแนลทรานสิชันกราฟ (b) กราฟcontracted STG สำหรับสัญญาณ Ia (c) กราฟcontracted STG สำหรับสัญญาณ Or.....	14
รูปที่ 2.5	เกต C-element ขนาด 2 อินพุต.....	15
รูปที่ 2.6	ตัวอย่างกราฟที่ใช้หาเส้นทางอิสระ.....	17
รูปที่ 2.7	วิธีการจำลองเชิงเหตุการณ์.....	17
รูปที่ 2.8	วงจร C-element ที่มีโมเดลความหน่วงแบบฮัพแมน.....	18
รูปที่ 2.9	แผนภาพคล้ายซิกแนลทรานสิชันกราฟของวงจร C-element ในรูปที่ 2.8.....	19
รูปที่ 2.10	การจำลองพฤติกรรมของวงจร C-element ในรูปที่ 2.8 เมื่อทดลองเปลี่ยนแปลงค่าความหน่วง ณ จุดวิกฤต.....	20
รูปที่ 2.11	Safety Diagram ของแผนภาพคล้ายซิกแนลทรานสิชันกราฟในรูปที่ 2.9.....	20
รูปที่ 3.1	การทวนสอบวงจรสมวารเชิงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์.....	22
รูปที่ 3.2	การทวนสอบวงจรสมวารเชิงลำดับชั้นชั้นที่ 1.....	23
รูปที่ 3.3	(a) ซิกแนลทรานสิชันกราฟของวงจร fifo (b) วงจร fifo.....	24
รูปที่ 3.4	กราฟ contracted STG ทั้งหมดของวงจร fifo สำหรับสัญญาณ (a) Ai (b) Ro (c) D (d)L.....	24
รูปที่ 3.5	กราฟ contracted STG ของวงจร hybrid สำหรับสัญญาณ Ax.....	25
รูปที่ 3.6	กราฟสายงานของกราฟ contracted STG ของวงจร fifo สำหรับสัญญาณ L.....	26
รูปที่ 3.7	การจำลองพฤติกรรมของวงจรร้อยของวงจร fifo สำหรับสัญญาณ L ด้วยเวกเตอร์ทดสอบที่ 1.....	27
รูปที่ 3.8	(a) วงจรร้อยของวงจร fifo สำหรับสัญญาณ L (b) แผนภาพคล้ายซิกแนลทรานสิชันกราฟของรูปที่ 3.8 (a).....	28

## สารบัญญภาพ (ต่อ)

	หน้า
รูปที่ 3.9 การทวนสอบวงจรสมวารเชิงลำดับขั้นขั้นที่ 2.....	30
รูปที่ 4.1 ไฟล์อินพุตของกราฟ contracted STG ของวงจร fifo สำหรับสัญญาณ L .....	33
รูปที่ 4.2 โครงสร้างข้อมูลของกราฟ contracted STG และแถวลำดับแสดงสัญลักษณ์ marking ของวงจร fifo สำหรับสัญญาณ L.....	34
รูปที่ 4.3 กรณีตัวอย่างการวิเคราะห์หาการเปลี่ยนแปลงสัญญาณเริ่มต้น.....	35
รูปที่ 4.4 กรณีตัวอย่างของการวิเคราะห์หาโหนดสุดท้ายในการสร้างกราฟสายงาน.....	36
รูปที่ 4.5 ขั้นตอนการสร้างกราฟสายงานของ contracted STG ของวงจร fifo สำหรับสัญญาณ L.....	40
รูปที่ 4.6 (a) กราฟ contracted STG ของวงจร sbuf-send-ctl สำหรับสัญญาณ La (b) ตัวอย่างของการวิเคราะห์เส้นทางทั้งหมดของกราฟ contracted STG ของวงจร sbuf-send-ctl สำหรับสัญญาณ La.....	42
รูปที่ 4.7 (a) ตัวอย่างการเปรียบเทียบเส้นทางเหมือนโหนดระหว่างรูปที่ 4.6(a) และรูปที่ 4.6 (b) (b) ตัวอย่างของการสร้างกราฟสายงานของ contracted STG ของวงจร sbuf-send-ctl สำหรับสัญญาณ La.....	42
รูปที่ 4.8 ตัวอย่างกราฟสายงาน.....	43
รูปที่ 4.9 ตัวอย่างโปรแกรม test bench ของเวกเตอร์ทดสอบของวงจร converta สำหรับสัญญาณ x.....	45
รูปที่ 4.10 ตัวอย่างผลลัพธ์ที่ได้จากการจำลองเวกเตอร์ทดสอบเชิงเหตุการณ์ของเวกเตอร์ทดสอบในรูปที่ 4.9.....	46
รูปที่ 4.11 ตัวอย่างโปรแกรม test bench ของเวกเตอร์ทดสอบของวงจร C-element สำหรับสัญญาณ P1.....	47
รูปที่ 4.12 ตัวอย่างโปรแกรม test bench ของเวกเตอร์ทดสอบของวงจร nowick สำหรับสัญญาณ Yo.....	47
รูปที่ 5.1 การจำแนกประเภทของสัญญาณที่ได้จากการทำงานระหว่างสิ่งแวดล้อมกับวงจร....	48
รูปที่ 5.2 แนวความคิดการวิเคราะห์คุณสมบัติ concurrent temporal relation จากซิกแนลทรานสิชันกราฟ.....	50
รูปที่ 5.3 (a) ซิกแนลทรานสิชันกราฟของวงจร C-element (b) วงจร C-element.....	51
รูปที่ 5.4 การจำลองการทำงานวงจร C-element เชิงเหตุการณ์.....	52

## สารบัญญภาพ (ต่อ)

	หน้า
รูปที่ 5.5 การจำลองพฤติกรรมของวงจร C-element กรณีที่การเปลี่ยนแปลงสัญญาณ $A_i+$ เกิดก่อนการเปลี่ยนแปลงสัญญาณ $B_i+$ .....	53
รูปที่ 5.6 การจำลองพฤติกรรมของวงจร C-element กรณีที่การเปลี่ยนแปลงสัญญาณ $B_i+$ เกิดก่อนการเปลี่ยนแปลงสัญญาณ $A_i+$ .....	53
รูปที่ 6.1 กราฟสายงานของกราฟ contracted STG ทั้งหมดของวงจร fifo สำหรับสัญญาณ (a) $A_i$ (b) $R_0$ (c) $D$ (d) $L$ .....	56
รูปที่ 6.2 วงจรย่อยทั้งหมดของวงจร fifo.....	56
รูปที่ 6.3 ตัวอย่างผลลัพธ์ที่ได้จากการจำลองเวกเตอร์ทดสอบเชิงเหตุการณ์ของแต่ละวงจรรย่อยของวงจร fifo ในรูปที่ 6.2 สำหรับสัญญาณ (a) $A_i$ (b) $R_0$ (c) $D$ (d) $L$ .....	57
รูปที่ 6.4 แผนภาพคล้ายซิกแนลทรานสิชันกราฟของวงจรรย่อยทั้งหมดของวงจร fifo สำหรับสัญญาณ (a) $A_i$ (b) $R_0$ (c) $D$ (d) $L$ .....	58
รูปที่ 6.5 การจำลองพฤติกรรมของวงจร fifo.....	59
รูปที่ 6.6 การจำลองพฤติกรรมของวงจร fifo กรณีที่ ลำดับการเปลี่ยนแปลงสัญญาณ $L$ - เกิดก่อนการเปลี่ยนแปลง $A_0+$ .....	60
รูปที่ 6.7 ตัวอย่างวงจรที่ไม่ถูกต้องตามคุณลักษณะ.....	60
รูปที่ 6.8 ลำดับการเปลี่ยนแปลงสัญญาณที่ไม่ถูกต้องที่ได้จากการทวนสอบวงจรรวมวงจรเชิงลำดับชั้นขั้นที่ 1.....	62

## สารบัญตาราง

		หน้า
ตารางที่ 2.1	สถานะการทำงานของ C-element.....	16
ตารางที่ 5.1	การวิเคราะห์คุณสมบัติ concurrent temporal relation ของการเปลี่ยนแปลง สัญญาณใดๆของวงจร C-element.....	51
ตารางที่ 6.1	การวิเคราะห์คุณสมบัติ concurrent temporal relation ของการเปลี่ยนแปลง สัญญาณใดๆของวงจร fifo.....	59
ตารางที่ 6.2	ผลการทดลองแสดงการเปรียบเทียบระหว่างจำนวนเวกเตอร์ทดสอบทั้งหมดกับ จำนวนเวกเตอร์ทดสอบที่ได้จากขั้นตอนวิธีที่ 1.....	65
ตารางที่ 6.3	ผลการทดลองแสดงจำนวนคู่ของการเปลี่ยนแปลงสัญญาณทั้งหมดที่ได้จาก การวิเคราะห์เพื่อใช้เป็นเวกเตอร์ทดสอบในการทวนสอบขั้นที่ 2.....	66
ตารางที่ 6.4	ผลการทดลองแสดงการเปรียบเทียบจำนวนเวกเตอร์ทดสอบทั้งหมดที่ใช้ในการ ทวนสอบวงจรระหว่างวิธีการทวนสอบเชิงลำดับขั้นกับวิธีการทวนสอบแบบทั้ง วงจร.....	67





### 1.1 การทวนสอบวงจร (Circuit Verification)

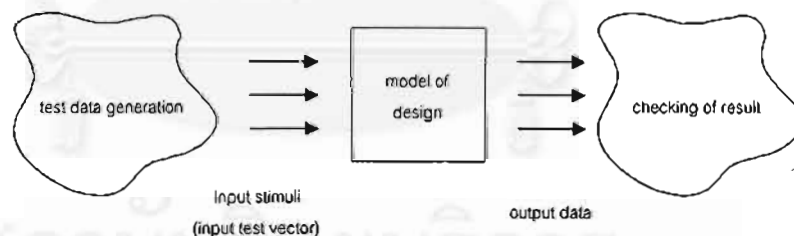
การทวนสอบวงจร เป็นกระบวนการตรวจสอบความถูกต้องตรงกันระหว่างคุณลักษณะของวงจร (specification) ที่ได้ออกแบบไว้กับวงจรที่ได้จากการสังเคราะห์ (implementation) ซึ่งเราจำเป็นจะต้องให้ความสำคัญกับกระบวนการดังกล่าว ทั้งนี้เนื่องจากในปัจจุบันการทวนสอบวงจรต้องเสียค่าใช้จ่าย ได้แก่ เวลาที่ใช้ในการทวนสอบ, ความซับซ้อนในการคำนวณ และต้นทุนต่างๆ เป็นจำนวนมาก ซึ่งเป็นสาเหตุหนึ่งที่ทำให้วงจรซึ่งเป็นผลิตภัณฑ์ไม่สามารถออกมาได้ทันตามความต้องการของตลาด

ในปัจจุบันวิธีที่ใช้ในการทวนสอบสามารถพิจารณาได้เป็น 2 วิธี [1] คือ

- 1.) การทวนสอบโดยใช้วิธีการจำลอง (simulation – based verification)
- 2.) การทวนสอบอย่างมีแบบแผน (formal verification)

#### 1.) การทวนสอบโดยใช้วิธีการจำลอง

การทวนสอบโดยใช้วิธีการจำลองเป็นวิธีการทวนสอบที่นิยมใช้กันอย่างแพร่หลายซึ่งจะทำการทวนสอบโดยใช้วิธีการจำลองพฤติกรรมของวงจร แสดงดังรูปที่ 1.1



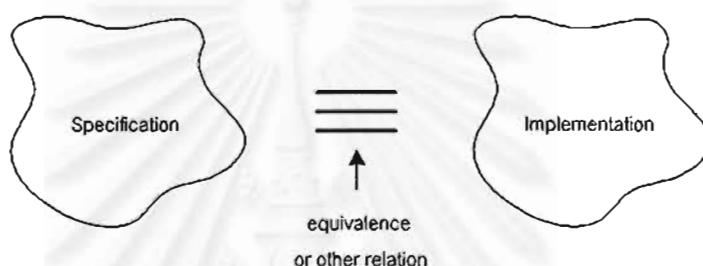
รูปที่ 1.1 การทวนสอบโดยใช้วิธีการจำลอง

จากรูปที่ 1.1 แบบจำลองของวงจรที่ได้จากการออกแบบจะแทนด้วยรูปกล่องสี่เหลี่ยม ซึ่งจะประกอบด้วยช่องทางอินพุตและเอาต์พุต (input / output port) การทวนสอบสามารถกระทำได้โดยการป้อนเวกเตอร์ทดสอบอินพุต (input test vector) เข้าสู่แบบจำลองผ่านช่องทางอินพุต หลังจากนั้นตัวจำลอง (simulator) จะทำการจำลองพฤติกรรมของวงจรตามเวกเตอร์ทดสอบอินพุตที่กำหนด และจะให้ข้อมูลเอาต์พุต (output data) ออกมา

โดยปกติแล้วการทวนสอบโดยใช้วิธีการจำลองจำเป็นจะต้องสร้างเวกเตอร์ทดสอบ (test vector) ซึ่งได้จากการพิจารณาคุณลักษณะของวงจร และเวกเตอร์ทดสอบนี้จะถูกนำไปเป็นเวกเตอร์ทดสอบอินพุตเพื่อจำลองพฤติกรรมของวงจร นอกจากนี้เวกเตอร์ทดสอบยังถูกนำไปเปรียบเทียบกับข้อมูลเอาต์พุตที่ได้จากการจำลองพฤติกรรมของวงจร เพื่อตรวจสอบความถูกต้องตรงกันระหว่างคุณลักษณะของวงจรถับวงจรที่ได้จากการสังเคราะห์ด้วย

## 2.) การทวนสอบอย่างมีแบบแผน

การทวนสอบอย่างมีแบบแผนเป็นวิธีการทวนสอบที่ตรวจสอบความถูกต้องโดยใช้เทคนิคการพิสูจน์ทางคณิตศาสตร์แสดงดังรูปที่ 1.2



รูปที่ 1.2 การทวนสอบอย่างมีแบบแผน

จากรูปที่ 1.2 ทั้งคุณลักษณะของวงจร และวงจรที่ได้จากการสังเคราะห์จะถูกแสดงในรูปแบบของระบบที่มีแบบแผนอย่างแน่นอน (formal system) และทั้งสองจะถูกนำมาพิสูจน์โดยใช้เทคนิคทางคณิตศาสตร์ เพื่อตรวจสอบความถูกต้อง ด้วยการพิจารณาว่ามีความสัมพันธ์แบบสมมูลกันหรือไม่ (equivalence) หรืออาจถูกพิจารณาความสัมพันธ์ในรูปแบบอื่นที่สามารถแสดงได้ว่าวงจรที่ได้จากการสังเคราะห์มีพฤติกรรมถูกต้องตรงตามคุณลักษณะของวงจรที่ได้ออกแบบไว้

สำหรับวิธีการทวนสอบอย่างมีแบบแผนสามารถแบ่งออกเป็น 3 วิธีคือ

- 2.1) Equivalence checking [2] เป็นวิธีที่ใช้กันอย่างแพร่หลายโดยจะทำการเปรียบเทียบระหว่าง RTL(Register Transfer Language) กับวงจรในระดับเกต ตัวอย่างที่ถูกนำมาใช้ ได้แก่ Abstract, Avant!, Cadence, Chrysalis, Synopsys, Verplex, Verysys เป็นต้น
- 2.2) Model checking [3] เทคนิคที่ใช้คือ ต้องสร้างเครื่องจักรสถานะจำกัด (Finite State Machine; FSM) เป็นแบบจำลองแสดงพฤติกรรมของวงจร เพื่อให้ทวนสอบคุณสมบัติที่ต้องการด้วยการค้นหาภายใน state space ของเครื่องจักรสถานะจำกัดนั้น โดยเครื่องจักรสถานะจำกัดจะมีคุณสมบัติดังกล่าวก็ต่อเมื่อการค้นหาภายใน

state space จะสิ้นสุด ณ. end state สำหรับวิธีการทวนสอบแบบ model checking ที่ใช้กันในปัจจุบันนี้แบ่งออกเป็น 2 แนวความคิด คือ

2.2.1) Temporal model checking สำหรับวิธีนี้คุณลักษณะของวงจรจะถูกแสดงในรูปของ temporal logic โดย logic ดังกล่าว มีลักษณะเป็นนิพจน์ที่แสดงพฤติกรรมของวงจรตามเงื่อนไขของเวลาที่กำหนดด้วยตัวปฏิบัติการ (operator) ต่างๆ ส่วนวงจรที่ได้จากการสังเคราะห์จะแสดงในลักษณะของ state transition graph ดังนั้นเราสามารถที่จะทำการทวนสอบด้วยการเปรียบเทียบคุณลักษณะของวงจรกับวงจรที่ได้จากการสังเคราะห์ได้ ตัวอย่าง model checker ซึ่งเป็นที่รู้จักกันมากได้แก่ SMV เป็นต้น

2.2.2) Finite state machine สำหรับวิธีนี้ทั้งคุณลักษณะของวงจรและพฤติกรรมของวงจรที่ได้จากการสังเคราะห์ จะถูกแสดงอยู่ในรูปของเครื่องจักรสถานะจำกัดและทั้งคู่จะถูกทำการทวนสอบด้วยการเปรียบเทียบว่า มีความสัมพันธ์แบบสอดคล้องกัน (conformance) หรือไม่ ตัวอย่างเช่น trace theory ของ Dill เป็นต้น

2.3) Theorem proving [1] วิธีนี้ไม่ค่อยนิยมใช้กันมากนัก เพราะค่อนข้างยากเทคนิคที่ใช้ในการทวนสอบก็คือทั้งคุณลักษณะของวงจรและพฤติกรรมของวงจรที่ได้จากการสังเคราะห์ จะถูกแสดงในรูปของนิพจน์ของระบบที่มีแบบแผนอย่างแน่นอน ได้แก่ first – order predicate logic, high – order logic เป็นต้น โดยผู้ออกแบบจะต้องพิสูจน์ด้วยการใช้ axiom และ inference rule ของระบบที่มีแบบแผนอย่างแน่นอน แสดงให้เห็นว่าพฤติกรรมของวงจรที่ได้จากการสังเคราะห์ถูกต้องตรงตามคุณลักษณะของวงจรที่ได้ออกแบบไว้ ตัวอย่างเช่น NQTHM theorem prover ของ Boyer – Moore, HOL theorem prover เป็นต้น

ข้อจำกัดระหว่างการทวนสอบโดยใช้วิธีการจำลองกับการทวนสอบอย่างมีแบบแผน

แม้ว่าในปัจจุบันจะมีหลายวิธีให้เลือกใช้ เพื่อที่จะทวนสอบวงจรดังกล่าวมาแล้ว แต่พบว่าแต่ละวิธีที่ได้นำเสนอก็คงมีข้อจำกัดอยู่บ้าง ดังเช่น วิธีการทวนสอบโดยใช้วิธีการจำลอง เนื่องจากจำนวนเวกเตอร์ทดสอบของวงจรโดยส่วนใหญ่แล้วจะมีเป็นจำนวนมาก ซึ่งเป็นไปไม่ได้ในทางปฏิบัติที่จะทำการทวนสอบกับเวกเตอร์ทดสอบทั้งหมดเหล่านั้น ดังนั้นจึงจำเป็นต้องทำการทวนสอบกับเวกเตอร์ทดสอบเพียงบางส่วนเท่านั้น ฉะนั้นปัญหาก็คือ เราจะรับประกันได้อย่างไรว่าเวกเตอร์ทดสอบที่นำมาใช้ทวนสอบจะครอบคลุมพฤติกรรมทั้งหมดของวงจร

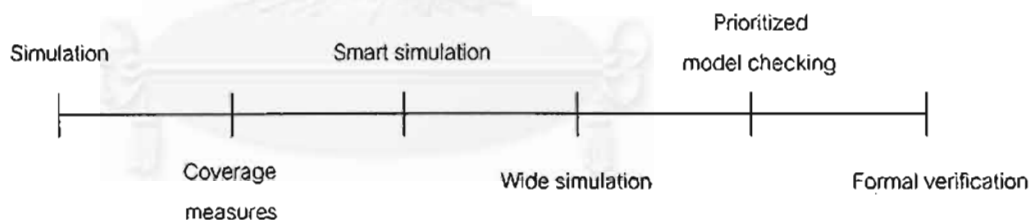
จากปัญหาดังกล่าวข้างต้น จะนำไปสู่วิธีการทวนสอบอย่างมีแบบแผน ซึ่งวิธีนี้สามารถรับประกันได้ว่าสามารถทวนสอบได้ครอบคลุมพฤติกรรมทั้งหมดของวงจร แต่อย่างไรก็ตามปัญหาที่เกิดขึ้น ก็คือ สำหรับวิธีการทวนสอบอย่างมีแบบแผนแบบ model checking จะเกิดปัญหา state explosion ซึ่งก็ได้มีงานวิจัยเป็นจำนวนมากได้เสนอเทคนิคต่างๆเพื่อที่จะแก้ปัญหาดังกล่าว ได้แก่ symbolic model checking ซึ่งจะนำ binary decision diagram (BDD) มาแทนเซตของ state ที่เป็นไปได้ทั้งหมด, minimal state partitioning, partial order เป็นต้น

นอกจากนี้สำหรับวิธีการทวนสอบอย่างมีแบบแผนแบบ theorem proving ก็ยังคงเป็นวิธีที่ไม่ได้ถูกนำมาใช้กันอย่างแพร่หลาย เพราะทฤษฎีที่ใช้ทวนสอบเป็นเรื่องที่ยาก และไม่เหมาะสมสำหรับบางปัญหา

ด้วยข้อจำกัดที่กล่าวมาทั้งหมดนี้ทำให้มีงานวิจัยที่ได้นำเสนอวิธีการทวนสอบซึ่งคาดว่าจะเป็นที่นิยมในอนาคตอีกรูปแบบหนึ่ง คือ การทวนสอบอย่างกึ่งแบบแผน (semi – formal method) [2] เป็นวิธีการทวนสอบที่นำแนวความคิดของการทวนสอบโดยใช้วิธีการจำลองและแนวความคิดของการทวนสอบอย่างมีแบบแผนมารวมกัน เพื่อให้สามารถทวนสอบได้ครอบคลุมพฤติกรรมทั้งหมดของวงจรได้ดีกว่าการทวนสอบโดยใช้วิธีการจำลอง และหลีกเลี่ยงปัญหาที่เกิดขึ้นกับการทวนสอบอย่างมีแบบแผนด้วย

### การทวนสอบอย่างกึ่งแบบแผน

เราสามารถพิจารณาสเปกตรัมของเทคนิคที่ใช้ในการทวนสอบทั้งหมดได้ดังรูปที่ 1.3



รูปที่ 1.3 สเปกตรัมของเทคนิคต่างๆที่ใช้ทวนสอบวงจร

จากรูปที่ 1.3 จะเห็นว่าจุดปลายทั้งสองของสเปกตรัมได้แก่ การทวนสอบโดยใช้วิธีการจำลอง และการทวนสอบอย่างมีแบบแผน ดังนั้นในช่วงระหว่างจุดปลายทั้งสองของสเปกตรัม เราสามารถวิเคราะห์วิธีการทวนสอบอย่างกึ่งแบบแผน โดยเริ่มจากจุดปลายของสเปกตรัมทางด้านการทวนสอบโดยใช้วิธีการจำลองไปยังจุดปลายของสเปกตรัมทางด้านการทวนสอบอย่างมีแบบแผนได้ดังนี้

Coverage analysis เป็นการวิเคราะห์เกี่ยวกับเวกเตอร์ทดสอบที่จะถูกสร้างขึ้น จำเป็นจะต้องมี coverage metric เป็นตัวที่บ่งบอกถึงจำนวนเวกเตอร์ทดสอบที่นำมาใช้ โดยเน้นการใช้



จำนวนเวกเตอร์ทดสอบให้น้อยที่สุดแต่สามารถทวนสอบได้ครอบคลุมพฤติกรรมทั้งหมดของวงจร coverage metric ที่ใช้นี้ขึ้นอยู่กับคุณลักษณะของวงจรที่จะถูกนำมาสร้างเวกเตอร์ทดสอบ ตัวอย่างเช่นกรณีที่เป็น hardware description language(HDL) ก็อาจจะพิจารณาจาก line coverage, branch & condition coverage และ path coverage, กรณีที่เป็นเครื่องจักรสถานะจำกัด ก็อาจจะพิจารณาจาก state coverage และ transition coverage หรืออาจจะพิจารณาถึงการเปลี่ยนแปลงของสัญญาณ ซึ่งได้แก่ toggle coverage เป็นต้น นอกจากนี้ coverage metric อาจจะประยุกต์มาจากแบบจำลองความผิดพลาด (fault model) ทางด้านการทดสอบ (testing) ก็ได้

Smart simulation เป็นวิธีการทวนสอบที่เวกเตอร์ทดสอบจะถูกสร้างขึ้นอย่างอัตโนมัติบนพื้นฐานของ coverage metric โดยเวกเตอร์ทดสอบที่ถูกสร้างขึ้นมาอาจจะเป็นลักษณะ off-line หรือ on-line ก็ได้

Wide simulation เป็นวิธีการทวนสอบที่นำสัญลักษณ์ (symbolic) มาใช้แทนเซตของ state เพื่อเป็นการลดจำนวน state space ที่จะเกิดขึ้น ตัวอย่างเช่น การนำ BDD มาใช้, การนำแบบชนิดข้อมูล (data type) ต่างๆ มาใช้ เช่น integer, bitvector เป็นต้น

Prioritized model checking เป็นวิธีการทวนสอบที่คล้ายๆ กับการทวนสอบอย่างมีแบบแผนแบบ model checking มาก แต่สิ่งที่แตกต่างกันก็คือ สำหรับ model checking นั้นวิธีการค้นหาใน state space จะเป็นการค้นหาเส้นทางที่เป็นไปได้ทั้งหมด (exhaustive) ส่วน prioritized model checking จะค้นหาโดยใช้ ฮิวริสติก (heuristic) เพื่อนำไปสู่เส้นทางที่ดีที่สุดในการทวนสอบวงจร

## 1.2 ความสำคัญและความเป็นมาของปัญหา

วงจรรวมวาร์ (asynchronous circuits) เป็นอีกทางเลือกหนึ่งที่สำคัญที่นำมาใช้ออกแบบวงจรรวมความจุสูงมาก (Very Large Scale Integration; VLSI) เพื่อหลีกเลี่ยงปัญหาต่างๆที่เกิดขึ้นกับวงจรรวมวาร์ (synchronous circuits) [4] ได้แก่ปัญหา clock skew, ปัญหา power dissipation เป็นต้น

อย่างไรก็ตามจะพบว่าการออกแบบวงจรรวมวาร์นั้นเป็นงานที่ยาก เพราะวงจรรวมวาร์ไม่มีสัญญาณนาฬิกาเพื่อควบคุมจังหวะการรับส่งข้อมูลภายในวงจร ดังนั้นจึงเป็นสาเหตุสำคัญที่ทำให้เกิด hazard ขึ้นในวงจร และเป็นผลให้วงจรทำงานผิดพลาด

ในการออกแบบวงจรรวมวาร์โดยทั่วไปแล้วนิยมใช้ ซิกแนลทรานสิชันกราฟ (Signal Transition Graph; STG) [5] เป็นเครื่องมือที่ใช้ในการกำหนดคุณลักษณะของวงจรเพื่อที่จะนำไปสังเคราะห์เป็นวงจรในขั้นตอนต่อไป แต่พบว่าบางวงจรที่ได้จากการสังเคราะห์มีพฤติกรรมไม่ถูก

ต้องตรงกับซิกแนลทรานส์ชันกราฟที่ได้ออกแบบไว้ ดังนั้นจึงมีความจำเป็นต้องทำการทวนสอบระหว่างวงจรที่ได้จากการสังเคราะห์กับซิกแนลทรานส์ชันกราฟที่ได้ออกแบบไว้

โดยในปัจจุบันวิธีการทวนสอบวงจรมี 2 ประเภท คือ การทวนสอบโดยใช้วิธีการจำลอง และการทวนสอบอย่างมีแบบแผน ซึ่งจะพบว่าทั้งสองวิธีนี้ยังคงมีข้อจำกัดอยู่ นั่นคือสำหรับการทวนสอบโดยใช้วิธีการจำลองเวกเตอร์ทดสอบ มักจะถูกสร้างโดยผู้ออกแบบวงจร ซึ่งไม่มีขั้นตอนวิธีที่เป็นแบบแผนอย่างแน่นอนในการสร้างเวกเตอร์ทดสอบ และมักจะมีแนวโน้มเอียงเอนกับเวกเตอร์ทดสอบที่ตนสร้างขึ้น วงจรที่ผ่านการทวนสอบโดยใช้วิธีการจำลองจะถูกรับประกันความถูกต้องเฉพาะกับเวกเตอร์ทดสอบเท่านั้น ส่วนการทวนสอบอย่างมีแบบแผนแม้ว่าจะรับประกันความถูกต้องได้ 100% แต่พบว่าสำหรับวิธี model checking ก็ยังเกิดปัญหา state explosion ซึ่งเป็นการเพิ่มความซับซ้อนให้กับการทวนสอบวงจร นอกจากนี้สำหรับวิธีการทวนสอบอย่างมีแบบแผนแบบ theorem proven โดยทั่วไปแล้วมักไม่ค่อยนิยมใช้กันอย่างแพร่หลาย เนื่องจากความยากของทฤษฎีที่ใช้ในการทวนสอบและเหมาะสำหรับการทวนสอบวงจรมิติขนาดเล็กเท่านั้น

แต่อย่างไรก็ตามงานวิจัยในปัจจุบันได้นำเสนอการรวมแนวความคิดของวิธีการทวนสอบโดยใช้วิธีการจำลอง และการทวนสอบอย่างมีแบบแผนเข้าด้วยกันเพื่อแก้ไขปัญหาดังกล่าวข้างต้น ซึ่งเรียกว่า การทวนสอบอย่างมีแบบแผน

ด้วยเหตุผลดังกล่าวทำให้งานวิจัยฉบับนี้ จะนำเสนอการทวนสอบวงจรมุมุมแบบควอไซดีเลย์อินเซนซิทีฟ (Quasi - Delay - Insensitive; QDI) โดยการประยุกต์ใช้วิธีการทวนสอบอย่างมีแบบแผน

### 1.3 วัตถุประสงค์การวิจัย

เพื่อออกแบบและพัฒนาขั้นตอนวิธีการทวนสอบวงจรมุมุมแบบควอไซดีเลย์อินเซนซิทีฟ

### 1.4 ขอบเขตของการวิจัย

1. ทำการทวนสอบวงจรมุมุมกับซิกแนลทรานส์ชันกราฟที่มีวากยสัมพันธ์ (syntax) และ อรรถศาสตร์ (semantics) ถูกต้องเท่านั้น
2. ทำการทวนสอบวงจรมุมุมแบบควอไซดีเลย์อินเซนซิทีฟเท่านั้น
3. ตัวจำลองที่ใช้ในการทวนสอบจะจำลองการทำงานในระดับเกต (gate)
4. ขั้นตอนวิธีการทวนสอบที่พัฒนาขึ้นมาจะทดสอบโดยใช้เกณฑ์เปรียบเทียบสมรรถนะ (benchmark) ของ Park, S.B. เป็นกรณีศึกษา[6]

### 1.5 ขั้นตอนและวิธีดำเนินงานวิจัย

1. ศึกษาซิกแนลทรานส์ชันกราฟซึ่งเป็นเครื่องมือที่ใช้กำหนดคุณลักษณะของวงจรแบบผสมวาร
2. ศึกษาขั้นตอนวิธีการจำลองเชิงเหตุการณ์
3. ออกแบบขั้นตอนวิธีการทวนสอบวงจรผสมวารแบบควอไซดีเลย์อินเซนซิทีฟ
4. ออกแบบและพัฒนาขั้นตอนวิธีการสร้างเวกเตอร์ทดสอบ เพื่อทวนสอบวงจรผสมวารแบบควอไซดีเลย์อินเซนซิทีฟในขั้นที่ 1
5. จำลองเชิงเหตุการณ์กับเวกเตอร์ทดสอบที่ได้จากข้อ 4 เพื่อทวนสอบวงจรผสมวารแบบควอไซดีเลย์อินเซนซิทีฟในขั้นที่ 1
6. วิเคราะห์หาจุดวิกฤตของวงจรและทดลองเปลี่ยนค่าความหน่วง ณ จุดวิกฤต เพื่อตรวจสอบความถูกต้องในการทำงานของวงจรผสมวารแบบควอไซดีเลย์อินเซนซิทีฟ
7. วิเคราะห์ความสัมพันธ์ของการเปลี่ยนแปลงสัญญาณในซิกแนลทรานส์ชันกราฟ เพื่อทวนสอบ วงจรผสมวารแบบควอไซดีเลย์อินเซนซิทีฟในขั้นที่ 2
8. จำลองเชิงเหตุการณ์กับลำดับการเปลี่ยนแปลงสัญญาณของคู่สัญญาณทั้งหมดที่ได้จากข้อ 7 เพื่อทวนสอบวงจรผสมวารแบบควอไซดีเลย์อินเซนซิทีฟในขั้นที่ 2
9. ทดสอบขั้นตอนวิธีการทวนสอบที่พัฒนาขึ้นกับเกณฑ์เปรียบเทียบสมรรถนะ
10. สรุปผลการวิจัย
11. เสนอรายงานการวิจัยในรูปแบบของวิทยานิพนธ์

### 1.6 ประโยชน์ที่คาดว่าจะได้รับ

1. ปรับปรุงประสิทธิภาพการสร้างเวกเตอร์ทดสอบสำหรับการทวนสอบโดยใช้วิธีการจำลอง
2. ลดความซับซ้อน (complexity) ได้แก่ เวลา และเนื้อที่ในหน่วยความจำที่ใช้ในการทวนสอบทั้งวงจร

### 1.7 บทความที่ตีพิมพ์จากงานวิจัย

ส่วนหนึ่งของวิทยานิพนธ์ฉบับนี้ถูกตีพิมพ์และนำเสนอในงานประชุมวิชาการวิทยาการคอมพิวเตอร์และวิศวกรรมคอมพิวเตอร์แห่งชาติ 2542 (The National Computer Science and Engineering Conference : NCSEC'99) โดยมหาวิทยาลัยอัสสัมชัญ เมื่อวันที่ 15 - 17 ธันวาคม พ.ศ.2542 ในบทความเรื่องการทวนสอบวงจรผสมวารแบบเชิงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์ โดยผู้นำเสนอคือ นายเด่นดวง ประดับสุวรรณ และ ดร.อาทิตย์ ทองทัช

### 1.8 เนื้อหาของวิทยานิพนธ์

เนื้อหาของวิทยานิพนธ์ฉบับนี้จะแบ่งออกเป็นเจ็ดบทย่อยๆ โดยบทที่ 1 จะเป็นบทนำ จากนั้นใน บทที่ 2 จะกล่าวถึงทฤษฎีต่างๆที่เกี่ยวข้องกับงานวิจัย บทที่ 3 จะเป็นการอธิบายให้เห็นภาพรวมทั้งหมดของขั้นตอนวิธีการทวนสอบวงจรรวมวงจรริงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์ที่ได้นำเสนอในงานวิจัยฉบับนี้ ต่อมาในบทที่ 4 และบทที่ 5 จะกล่าวถึงขั้นตอนวิธีการทวนสอบวงจรรวมวงจรริงลำดับชั้นที่ 1 และขั้นที่ 2 อย่างละเอียดตามลำดับจากนั้นในบทที่ 6 จะเป็นตัวอย่างของการนำเสนอการทวนสอบวงจรรวมวงจรริงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์กับวงจรตัวอย่างที่ถูกต้องตรงตามคุณลักษณะที่ได้ออกแบบไว้ และกับวงจรตัวอย่างที่ไม่ถูกต้องตรงตามคุณลักษณะที่ได้ออกแบบไว้ นอกจากนี้ยังได้แสดงผลการทดลองที่ได้ เมื่อนำขั้นตอนวิธีการทวนสอบดังกล่าวไปทดสอบกับเกณฑ์เปรียบเทียบสมรรถนะด้วย บทที่ 7 จะเป็นบทสรุปผลการวิจัยรวมทั้งข้อเสนอแนะซึ่งควรนำไปปรับปรุงให้ดียิ่งขึ้น

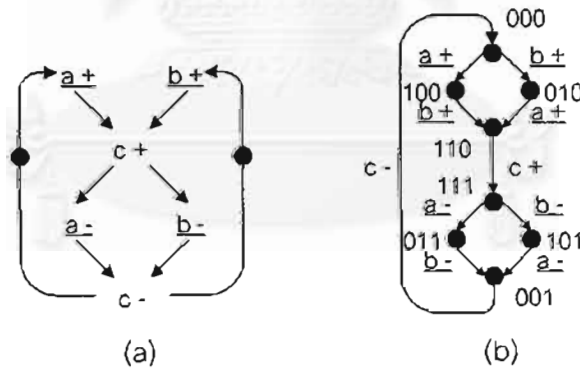


บทที่ 2  
ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

ในบทนี้จะกล่าวถึงทฤษฎีและงานวิจัยต่างๆที่นำมาประยุกต์ใช้ เพื่อออกแบบและพัฒนาขั้นตอนวิธีการทวนสอบวงจรสมวารแบบควอไซดีเลย์อินเซนซิทีฟ โดยจะกล่าวถึงเครื่องมือที่ใช้กำหนดคุณลักษณะของวงจรสมวาร ได้แก่ ชิกแนลทรานสิชันกราฟ, โมเดลความหน่วงแบบควอไซดีเลย์อินเซนซิทีฟ[7], เทคนิคการทดสอบเส้นทางพื้นฐาน (basis path testing) [8], วิธีการจำลองเชิงเหตุการณ์ (event – driven simulation) [9] เพื่อจำลองพฤติกรรมของวงจรสมวาร และการประเมินความเชื่อถือได้ด้านเวลาของวงจรสมวาร (timing - reliability evaluation of asynchronous circuits) [10]เพื่อตรวจสอบความถูกต้องในการทำงานของวงจรสมวารที่มีโมเดลความหน่วง (delay model) แบบควอไซดีเลย์อินเซนซิทีฟ

2.1 ชิกแนลทรานสิชันกราฟ

ชิกแนลทรานสิชันกราฟ เป็นเครื่องมือที่ใช้กำหนดคุณลักษณะของวงจรสมวารอย่างมีแบบแผน (formal specification) ถูกเสนอโดย Chu ชิกแนลทรานสิชันกราฟจะมีลักษณะเป็นกราฟแบบมีทิศทาง (direct graph) เทียบได้กับ Petri net ที่มีคุณสมบัติ Live – Safe Free – Choice (LSFC) nets ตัวอย่างของชิกแนลทรานสิชันกราฟดังรูปที่ 2.1 (a)



รูปที่ 2.1 (a) ตัวอย่างชิกแนลทรานสิชันกราฟ (b) state graph ของรูป 2.1(a)

ชิกแนลทรานสิชันกราฟประกอบด้วย

- 1) เซตของสัญญาณ (set of signals) เขียนแทนด้วยสัญลักษณ์  $J$  ได้แก่
  - 1.1) เซตของสัญญาณอินพุต (set of input signals) เขียนแทนด้วยสัญลักษณ์  $J_i$
  - 1.2) เซตของสัญญาณที่ไม่ใช่สัญญาณอินพุต (set of non – input signals) เขียนแทนด้วยสัญลักษณ์  $J_n$  จะประกอบด้วย

- เซตของสัญญาณเอาต์พุต (set of output signals) เขียนแทนด้วยสัญลักษณ์  $J_o$
- เซตของสัญญาณภายใน (set of internal signals) เขียนแทนด้วยสัญลักษณ์  $J_n$

โดยที่  $J_n = J_o \cup J_n \neq \phi$

ซิกแนลทรานสิชันกราฟจะแสดงความแตกต่างระหว่างเซตของสัญญาณอินพุตและเซตของสัญญาณที่ไม่ใช่สัญญาณอินพุต ด้วยการขีดเส้นใต้เฉพาะเซตของสัญญาณอินพุต จากรูปที่ 2.1 (a)  $J = \{a, b, c\}$ ,  $J_i = \{a, b\}$  และ  $J_n = \{c\}$

2) เซตของการเปลี่ยนแปลงสัญญาณ (set of signal transitions) เขียนแทนด้วยสัญลักษณ์  $T$  โดยที่  $T = J \times \{+, -\}$  สำหรับทุกๆ สัญญาณ  $j \in J$  และ  $\{+, -\}$  จะเป็นสัญลักษณ์แสดงทิศทางการเปลี่ยนแปลงสัญญาณแบบ rising และ falling ตามลำดับ

ในแต่ละซิกแนลทรานสิชันกราฟจะมีคู่ของการเปลี่ยนแปลงสัญญาณที่สัมพันธ์กันอยู่ได้แก่  $j+$  และ  $j-$  และเราสามารถแบ่งเซตของการเปลี่ยนแปลงสัญญาณโดยพิจารณาให้สอดคล้องกับเซตของสัญญาณได้ดังนี้

2.1) เซตของการเปลี่ยนแปลงสัญญาณอินพุต (set of input signal transitions) เขียนแทนด้วยสัญลักษณ์  $T_i = J_i \times \{+, -\}$

2.2) เซตของการเปลี่ยนแปลงสัญญาณเอาต์พุต (set of output signal transitions) เขียนแทนด้วยสัญลักษณ์  $T_o = J_o \times \{+, -\}$

2.3) เซตของการเปลี่ยนแปลงสัญญาณภายใน (set of internal signal transitions) เขียนแทนด้วยสัญลักษณ์  $T_n = J_n \times \{+, -\}$

สำหรับเซตของการเปลี่ยนแปลงสัญญาณอินพุต จะแสดงด้วยการขีดเส้นใต้ เพื่อแยกให้เห็นความแตกต่างจากเซตของการเปลี่ยนแปลงสัญญาณที่ไม่ใช่สัญญาณอินพุต เช่นเดียวกับเซตของสัญญาณ นอกจากนี้ความแตกต่างระหว่าง การเปลี่ยนแปลงของสัญญาณอินพุตกับการเปลี่ยนแปลงของสัญญาณที่ไม่ใช่สัญญาณอินพุตก็คือ การเปลี่ยนแปลงของสัญญาณอินพุตจะเกิดขึ้นจากสิ่งแวดล้อมภายนอก (external environment) ของวงจร แต่การเปลี่ยนแปลงของสัญญาณที่ไม่ใช่สัญญาณอินพุตจะเกิดขึ้นจากการทำงานภายในของวงจรถอง จากรูปที่ 2.1(a)  $T = \{a+, a-, b+, b-, c+, c-\}$ ,  $T_i = \{a+, a-, b+, b-\}$  และ  $T_n = \{c+, c-\}$

ซิกแนลทรานสิชันกราฟ จะใช้สัญลักษณ์  $T/n$  เพื่อแสดงลำดับครั้งของการเปลี่ยนแปลงสัญญาณ  $T$  ในซิกแนลทรานสิชันกราฟ ตัวอย่างเช่น ถ้าในซิกแนลทรานสิชันกราฟมีสัญลักษณ์ดังนี้คือ  $a+/1$  และ  $a+/2$  จะหมายถึง สัญญาณ  $a$  จะเกิดการเปลี่ยนแปลงสัญญาณแบบ rising ครั้งที่ 1 และ ครั้งที่ 2 ตามลำดับ

3) สัญลักษณ์ marking หรือที่เรียกว่าโทเคน (token) เขียนแทนด้วยสัญลักษณ์วงกลมที่บิสีดำไว้ใช้แสดงสถานะ (state) ของการเปลี่ยนแปลงสัญญาณในซิกแนลทรานสิชันกราฟ ณ หนึ่ง ขณะใด ขณะหนึ่ง ทุกๆซิกแนลทรานสิชันกราฟจะต้องมีสัญลักษณ์ initial marking เพื่อแสดงสถานะเริ่มต้นในการทำงานของวงจรและการเปลี่ยนแปลงสถานะของสัญลักษณ์ marking อันเนื่องมาจากการเปลี่ยนแปลงสัญญาณในซิกแนลทรานสิชันกราฟ จะเรียกว่าเกิดการ firing ขึ้น

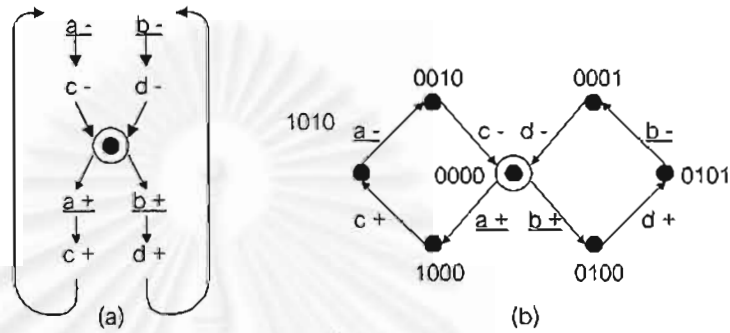
4) คุณสมบัติ causal relation เขียนแทนด้วยสัญลักษณ์ R ดังนี้  $t_1 R t_2$  หมายถึง การเปลี่ยนแปลงสัญญาณ  $t_1$  จะทำให้เกิดการเปลี่ยนแปลงสัญญาณ  $t_2$  สำหรับในซิกแนลทรานสิชันกราฟจะใช้ลูกศรเป็นสัญลักษณ์เพื่อแสดงความสัมพันธ์ที่เกิดขึ้นดังกล่าว ตัวอย่างเช่นจากรูปที่ 2.1(a)  $a+ \rightarrow c+$  หมายถึง การเปลี่ยนแปลงสัญญาณ a แบบ rising จะมีผลทำให้เกิดการเปลี่ยนแปลงสัญญาณ c แบบ rising แต่จากรูปที่ 2.1 (a) การเปลี่ยนแปลงสัญญาณ c แบบ rising จะเกิดขึ้นได้ก็ต่อเมื่อต้องรอให้เกิดการเปลี่ยนแปลงสัญญาณ b แบบ rising ด้วย

5) คุณสมบัติ temporal relation เขียนแทนด้วยสัญลักษณ์ tr สามารถนิยามได้ดังนี้  $tr = T \times T$  โดยคุณสมบัติ temporal relation จะเป็นความสัมพันธ์แบบทวิภาค (binary relation) ของการเปลี่ยนแปลงสัญญาณใดๆ ในเซตของการเปลี่ยนแปลงสัญญาณ ซิกแนลทรานสิชันกราฟสามารถแสดงความสัมพันธ์ระหว่างการเปลี่ยนแปลงสัญญาณใดๆ ได้ทั้งในแบบอันดับ (orderd) และแบบพร้อมกัน (concurrent) ดังตัวอย่างจากรูปที่ 2.1(a)

- การเปลี่ยนแปลงสัญญาณ a กับ b แบบ rising จะมีความสัมพันธ์แบบพร้อมกัน และใช้เครื่องหมาย "||" แทนความสัมพันธ์แบบพร้อมกัน ดังนั้นจึงสามารถเขียนสัญลักษณ์เพื่อแทนความสัมพันธ์ที่เกิดขึ้นระหว่างการเปลี่ยนแปลงสัญญาณ a กับ b ได้ดังนี้  $a+ || b+$  และเซตลำดับของการเปลี่ยนแปลงสัญญาณ (set of sequence of signal transitions) a กับ b ได้แก่  $\{ a+b+, b+a+ \}$
- การเปลี่ยนแปลงสัญญาณ a กับ c แบบ rising จะมีความสัมพันธ์แบบอันดับ ดังนั้นเซตลำดับของการเปลี่ยนแปลงสัญญาณ a กับ c ได้แก่  $\{ a+c+ \}$

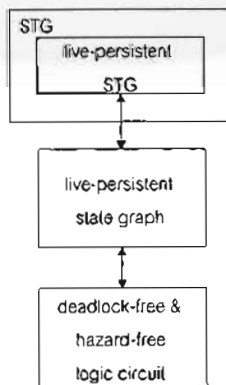
ในการกำหนดคุณลักษณะของวงจร นอกจากจะสามารถกำหนดพฤติกรรมแบบพร้อมกันเชิงกำหนด(deterministic concurrent behavior) เรายังสามารถกำหนดพฤติกรรมแบบพร้อมกันเชิงไม่กำหนดได้ด้วย (nondeterministic concurrent behavior) โดยใช้คุณสมบัติ input choice เขียนแทนด้วย สัญลักษณ์ place ซึ่งมีลักษณะเป็นวงกลม ดังรูปที่ 2.2(a)

จากรูปที่ 2.2(a) คุณสมบัติ input choice จะถูกกำหนดโดยใช้สัญลักษณ์ place ซึ่งมีการเปลี่ยนแปลงสัญญาณเอาต์พุตของสัญลักษณ์ place จำนวน 2 สัญญาณ ได้แก่ สัญญาณ a+ และ b+ เมื่อใดก็ตามที่ สัญลักษณ์ marking ในสัญลักษณ์ place เกิดการ firing การเปลี่ยนแปลงของสัญญาณเอาต์พุตทั้งสองจะถูก enable แต่จะมีสัญญาณเอาต์พุตเพียงสัญญาณเดียวเท่านั้นที่จะถูกเลือกแบบเชิงไม่กำหนด (nondeterministic) ในการ firing และการ firing ของสัญญาณนี้จะไป disable อีกสัญญาณหนึ่งเพื่อไม่ให้เกิดการเปลี่ยนแปลงสัญญาณเกิดขึ้น



รูปที่ 2.2 (a) ตัวอย่างซิกแนลทรานสิชันกราฟที่มีคุณสมบัติ input choice (b) state graph ของรูป 2.2(a)

จะเห็นว่าจากที่ได้กล่าวมาทั้งหมดเป็นรูปแบบที่ใช้ในการกำหนดคุณลักษณะของวงจร ดังนั้นทำให้เราสามารถวิเคราะห์พฤติกรรมของซิกแนลทรานสิชันกราฟด้วยชุดลำดับของการเปลี่ยนแปลงสัญญาณได้ และเมื่อเรากำหนดคุณลักษณะของวงจรด้วยซิกแนลทรานสิชันกราฟแล้วหลังจากนั้นเราจะนำคุณลักษณะของวงจรถูกกล่าวไปสังเคราะห์วงจร แสดงดังรูปที่ 2.3



รูปที่ 2.3 ขั้นตอนวิธีการสังเคราะห์วงจรจากซิกแนลทรานสิชันกราฟ

จากรูปที่ 2.3 จะพบว่าเพื่อที่จะสังเคราะห์วงจรเราจำเป็นต้องสร้าง state graph จากซิกแนลทรานสิชันกราฟด้วยกระบวนการ state assignment โดย state graph จะเป็น กราฟที่แต่ละ state ของกราฟจะถูกแทนด้วยเวกเตอร์เลขฐานสอง (binary vector) ซึ่งจะแสดงค่าของสัญญาณ



ทั้งหมดในวงจร และจะแสดงค่าของการเปลี่ยนแปลงสัญญาณที่เกิดขึ้นระหว่าง state ดังตัวอย่างในรูปที่ 2.1(b) และ 2.2(b) เป็นต้น

แต่อย่างไรก็ตามในการสังเคราะห์วงจรถ้าให้ได้วงจรมีคุณสมบัติ deadlock - free และ hazard - free state graph จำเป็นต้องมีคุณสมบัติ liveness และ persistency แต่จะพบว่าการออกแบบวงจรถ้าจะเกี่ยวข้องกับซิกแนลทรานสิชันกราฟเท่านั้น ดังนั้นเพื่อให้ได้ state graph ที่มีคุณสมบัติดังกล่าว เราจึงต้องพิจารณาคูสมบัติของซิกแนลทรานสิชันกราฟที่สัมพันธ์กับ state graph ด้วย คุณสมบัติดังกล่าวนี้เรียกว่า syntactic properties ซึ่งได้แก่ คุณสมบัติ liveness และ persistency ของซิกแนลทรานสิชันกราฟ

### Liveness

ซิกแนลทรานสิชันกราฟใดๆ จะมีคุณสมบัติ liveness ก็ต่อเมื่อ ซิกแนลทรานสิชันกราฟนั้นเป็น strongly connected graph และทุกๆ คู่ของการเปลี่ยนแปลงสัญญาณ  $t$  กับ  $t'$  ใดๆ จะต้องมีความสัมพันธ์แบบอันดับ คุณสมบัติดังกล่าวนี้จะรับประกันได้ว่าวงจรถ้าจะทำงานอย่างต่อเนื่องโดยปราศจากการติดตาย(deadlock)

### Persistency

ซิกแนลทรานสิชันกราฟใดๆ จะมีคุณสมบัติ persistency ก็ต่อเมื่อ การเปลี่ยนแปลงสัญญาณใดๆที่เกิดขึ้น จะไม่ไป disable การเกิดการเปลี่ยนแปลงสัญญาณอื่นๆ นั่นคือ สำหรับทุกๆ สัญญาณ  $j$  ที่ไม่ใช่สัญญาณอินพุต แล้วทุกๆ การเปลี่ยนแปลงของสัญญาณ  $j$  ซึ่งเกิดขึ้นโดยสัญญาณ  $X$  แล้ว การเกิดการเปลี่ยนแปลงสัญญาณ  $j$  จะต้องมีความสัมพันธ์แบบอันดับกับสัญญาณ  $X'$  ด้วย คุณสมบัติดังกล่าวนี้จะรับประกันได้ว่าวงจรถ้าจะไม่เกิดปัญหา race condition ซึ่งนำไปสู่การทำงานที่ผิดพลาดของวงจรถ้า

## 2.2 การแยกซิกแนลทรานสิชันกราฟโดยใช้เทคนิคการคอนแทรคซิกแนลทรานสิชันกราฟ (Decomposition by STG contraction)

เทคนิคการแยก (decomposition) ซิกแนลทรานสิชันกราฟ ถือว่าเป็นอีกเทคนิคหนึ่งซึ่งช่วยเพิ่มประสิทธิภาพในการวิเคราะห์และสังเคราะห์วงจรถ้าจากซิกแนลทรานสิชันกราฟ สำหรับเทคนิคนี้ จะแยกซิกแนลทรานสิชันกราฟเป็นกราฟ contracted STG ด้วยเทคนิคการคอนแทรค (contraction) ทางทฤษฎีกราฟ

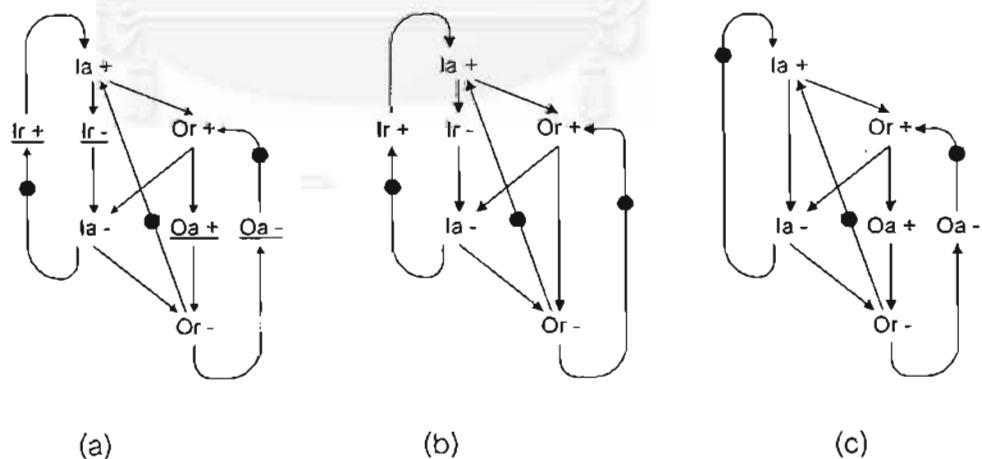
เริ่มแรกเราจะกำหนดจำนวนกราฟ contracted STG ทั้งหมดด้วยการพิจารณาจากจำนวนของสัญญาณที่ไม่ใช่สัญญาณอินพุตของซิกแนลทรานสิชันกราฟ ดังตัวอย่างซิกแนลทราน

ลิขัณกราฟ ในรูปที่ 2.4(a) เขตของสัญญาณที่ไม่ใช่สัญญาณอินพุต ได้แก่ สัญญาณ Ia และ Or ดังนั้นจำนวนกราฟ contracted STG จะเท่ากับ 2 กราฟโดยมีสัญญาณ Ia และ Or เป็นสัญญาณเอาต์พุตตามลำดับ

หลังจากนั้น เราจะพิจารณาเขตของการเปลี่ยนแปลงสัญญาณของแต่ละกราฟ contracted STG ด้วยการวิเคราะห์ซิกแนลทรานสิชันกราฟโดยใช้คุณสมบัติ causal relation ดังตัวอย่าง ซิกแนลทรานสิชันกราฟในรูปที่ 2.4(a) หากเราจะพิจารณากราฟ contracted STG ของสัญญาณ Ia จะพบว่า หลังจากทีวิเคราะห์ซิกแนลทรานสิชันกราฟแล้ว การเปลี่ยนแปลงสัญญาณ Ia จะเกิดขึ้นก็ต่อเมื่อมีการเปลี่ยนแปลงสัญญาณ Ir และ Or เกิดขึ้นเท่านั้น และการเปลี่ยนแปลงสัญญาณ Oa จะไม่มีผลต่อการเปลี่ยนแปลงสัญญาณ Ia เราจึงกำจัดสัญญาณ Oa ออกจากเขตของสัญญาณอินพุต ดังนั้นเราจะได้กราฟ contracted STG ของสัญญาณ Ia ดังรูปที่ 2.4(b) และสามารถเขียนสัญลักษณ์ แทนเขตของสัญญาณอินพุต ของกราฟ contracted STG ของสัญญาณ Ia ได้ดังนี้  $I(Ia) = \{Ir, Or\}$

สำหรับกรณีของกราฟ contracted STG ของสัญญาณ Or ก็สามารถพิจารณาได้เช่นเดียวกับกราฟ contracted STG ของสัญญาณ Ia ดังแสดงในรูปที่ 2.4

จะเห็นว่าสิ่งที่สำคัญสำหรับกราฟ contracted STG ของสัญญาณ j ใดๆ ก็คือ จะมีสัญญาณ j เป็นสัญญาณเอาต์พุต และทุกๆ การเปลี่ยนแปลงสัญญาณที่มีผลทำให้เกิดการเปลี่ยนแปลงของสัญญาณ j จะประกอบเป็นเขตของสัญญาณอินพุตและกราฟ contracted STG ก็คือ คุณลักษณะของวงจรรย่อย (sub-circuit) ที่มีสัญญาณเอาต์พุตเพียงสัญญาณเดียวนั่นเอง



รูปที่ 2.4 (a) ซิกแนลทรานสิชันกราฟ (b) กราฟ contracted STG สำหรับสัญญาณ Ia (c) กราฟ contracted STG สำหรับสัญญาณ Or

### 2.3 โมเดลความหน่วงแบบควอไซดีเลย์อินเซนซิทีฟ

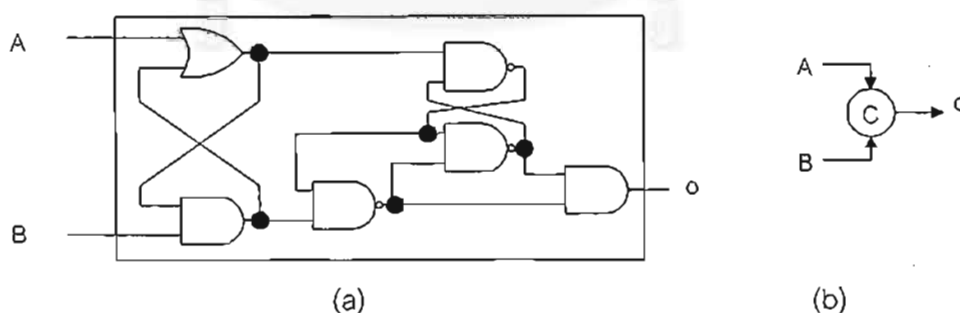
ในการออกแบบวงจรรวมรวมเราจำเป็นต้องกำหนดโมเดลความหน่วงที่ใช้ เพื่อตั้งสมมติฐานเกี่ยวกับค่าความหน่วงของเกต (gate delay) และค่าความหน่วงในสายสัญญาณ (wire delay)

โมเดลความหน่วงที่ใช้ในการออกแบบวงจรรวมรวมมีหลายแบบได้แก่ โมเดลความหน่วงแบบฮัฟแมน (huffman model), โมเดลความหน่วงแบบมุลเลอร์ (muller model), โมเดลความหน่วงแบบดีเลย์อินเซนซิทีฟ (Delay – Insensitive (DI) model) และโมเดลความหน่วงแบบควอไซดีเลย์อินเซนซิทีฟ เป็นต้น สำหรับวงจรรวมรวมที่มีโมเดลความหน่วงเป็นแบบดีเลย์อินเซนซิทีฟจะเป็นวงจรที่มีข้อจำกัดด้านความหน่วง (delay) น้อยที่สุด โดยมีนิยามดังนี้

“ค่าความหน่วงของเกตและค่าความหน่วงในสายสัญญาณนั้นไม่ทราบค่า แต่รู้ว่ามีขีดจำกัดอยู่ที่ค่าหนึ่ง”

แต่การสังเคราะห์วงจรที่มีโมเดลความหน่วงแบบดีเลย์อินเซนซิทีฟ สามารถสังเคราะห์วงจรได้ในขอบเขตที่จำกัด ทำให้ไม่สามารถประยุกต์ใช้กับวงจรทั่วไปได้ จึงมีการเพิ่มข้อจำกัดเกี่ยวกับความหน่วงขึ้นก็คือกรณีที่มีการกระจายของสายสัญญาณ (fork) จะถือว่าค่าความหน่วงในสายสัญญาณมีค่าเท่ากัน (isochronic fork) ซึ่งถือว่าเป็นรูปแบบของโมเดลความหน่วงแบบควอไซดีเลย์อินเซนซิทีฟ

นอกจากนี้ในวงจรแบบรวมรวมที่มีโมเดลความหน่วงแบบดีเลย์อินเซนซิทีฟ และควอไซดีเลย์อินเซนซิทีฟ จำเป็นต้องใช้เกตพิเศษเพิ่มขึ้นอีกตัวหนึ่งคือ เกต C-element ดังรูปที่ 2.5(a) เป็นตัวอย่างของ เกต C-element ขนาด 2 อินพุตและรูปที่ 2.5 (b) เป็นสัญลักษณ์ที่ใช้แทนเกต C-element



รูปที่ 2.5 (a) เกต C-element ขนาด 2 อินพุต

(b) สัญลักษณ์ที่ใช้แทนเกต C-element ขนาด 2 อินพุต

เกต C-element จะทำหน้าที่ในการตรวจสอบค่าสัญญาณอินพุตทั้งหมดของเกต C-element ว่ามีค่าเดียวกันหรือไม่ ถ้าค่าสัญญาณอินพุตทั้งหมดมีค่าเดียวกัน ค่าเอาต์พุตที่ได้ก็จะมี

ค่าเท่ากับค่าสัญญาณอินพุตนั้น แต่ถ้าค่าสัญญาณอินพุตมีค่าไม่เท่ากันทั้งหมด ค่าเอาต์พุตที่ได้ก็จะมีค่าเท่ากับค่าเอาต์พุตของสถานะเดิม ดังตารางที่ 2.1 แสดงสถานะการทำงานของเกต C-element

อินพุต	เอาต์พุต
ทั้งหมดเป็น "0"	0
ทั้งหมดเป็น "1"	1
อื่นๆ	สถานะเดิม

ตารางที่ 2.1 สถานะการทำงานของ C-element

#### 2.4 การทดสอบเส้นทางพื้นฐาน

การทดสอบเส้นทางพื้นฐานเป็นเทคนิคหนึ่งของการทดสอบแบบไวท์บ็อกซ์ (white – box testing) เป็นแนวความคิดทางด้านวิศวกรรมซอฟต์แวร์ที่ถูกเสนอโดยแมคเคบ (McCabe) ซึ่งเทคนิคนี้จะใช้ในการพิจารณาว่าควรจะทำการทดสอบการทำงานของแต่ละโมดูล (module) อย่างน้อยที่สุดกี่ครั้งในกรณีใดบ้างที่จะครอบคลุมการทำงานทุกคำสั่งของโมดูลนั้น โดยจะแทนการทำงานของโมดูลด้วยรูปกราฟสายงาน (flow graph)

สำหรับวิธีนี้เสนอว่าให้หาค่าความซับซ้อนไซโคลเมติก (cyclomatic complexity) ซึ่งเป็นตัววัดทางด้านซอฟต์แวร์ (software metric) ไว้ใช้เป็นแนวทางในการกำหนดจำนวนเส้นทางอิสระ (independent path) ที่น้อยที่สุดที่จะมีในเซตของเส้นทางพื้นฐาน (basis set) เพื่อให้ทดสอบได้ครอบคลุมทุกเส้นทางของกราฟสายงานหรือทุกคำสั่งในโมดูลนั่นเอง

ค่าความซับซ้อนไซโคลเมติกหาได้จากสูตร

$$V(G) = E - N + 2$$

โดยที่

V(G) คือ ค่าความซับซ้อนไซโคลเมติกของกราฟ G

E คือ จำนวนเส้นลูกศรที่เชื่อมระหว่างโหนด (edge) ในกราฟ

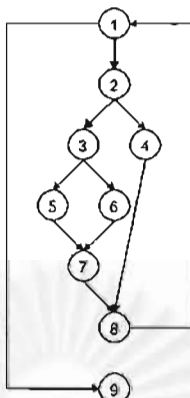
N คือ จำนวนโหนด (node) ในกราฟ

หรือ  $V(G) = R + 1$

โดยที่

R คือ จำนวนพื้นที่ในกราฟซึ่งถูกล้อมรอบด้วยโหนดและเส้นลูกศรที่เชื่อมระหว่างโหนด (region)

เส้นทางอิสระเป็นเส้นทางใดๆ ก็ตามที่จะต้องมียังน้อย 1 เส้นทางของกราฟที่ยังไม่ถูก  
แวะผ่าน (traverse) มาเลย รูปที่ 2.6 แสดงตัวอย่างกราฟที่ใช้หาเส้นทางอิสระ



รูปที่ 2.6 ตัวอย่างกราฟที่ใช้หาเส้นทางอิสระ

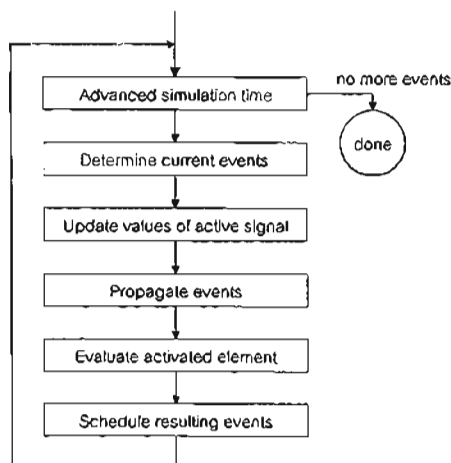
จากรูปที่ 2.6 เราสามารถหาค่าความซับซ้อนไซโคลเมติก และเส้นทางอิสระได้ดังนี้

$V(G) = 11 - 9 + 2 = 4$  เพราะฉะนั้นเซตของเส้นทางพื้นฐานจะประกอบด้วย

เส้นทางอิสระที่ 1	:	1-9
เส้นทางอิสระที่ 2	:	1-2-4-8-1-9
เส้นทางอิสระที่ 3	:	1-2-3-5-7-8-1-9
เส้นทางอิสระที่ 4	:	1-2-3-6-7-8-1-9

## 2.5 การจำลองเชิงเหตุการณ์

การจำลองเชิงเหตุการณ์ คือการจำลองพฤติกรรมของวงจรโดยอาศัยการตีความ (interpret) จากแบบจำลองวงจร และการตีความแบบจำลองวงจรเพื่อจำลองพฤติกรรมของวงจร จะถูกควบคุมด้วยลำดับของเหตุการณ์ (event) ซึ่งได้จัดกำหนดการเกิด (schedule) ไว้แล้ว



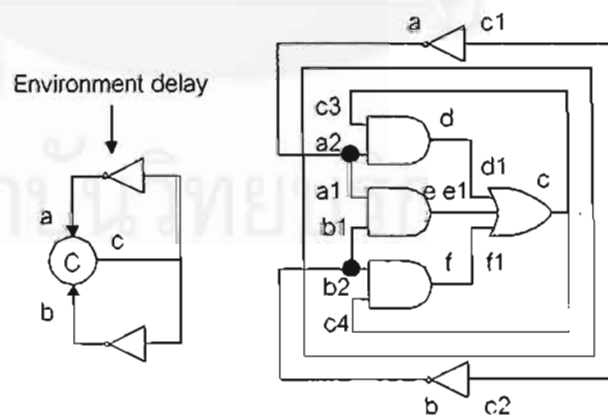
รูปที่ 2.7 วิธีการจำลองเชิงเหตุการณ์

วิธีการจำลองเชิงเหตุการณ์ เป็นวิธีที่เหมาะสมสำหรับการนำมาใช้จำลองพฤติกรรมของวงจรรวมวาร์ทั้งนี้เพราะเราไม่สามารถทราบค่าความหน่วงที่แน่นอนได้ ดังนั้นการเปลี่ยนแปลงสัญญาณในวงจรเราจะพิจารณาเป็นเหตุการณ์ เหตุการณ์ที่เกิดขึ้นจะทำให้เกิดการเปลี่ยนแปลงสัญญาณขึ้น ซึ่งจะมีผลทำให้วงจรรอยยที่มีสัญญาณนี้เป็นอินพุตถูกพิจารณาหาค่าเอาต์พุต บางวงจรรอยยอาจจะทำให้เกิดเหตุการณ์ใหม่ขึ้น และเหตุการณ์ใหม่ที่เกิดขึ้นนี้ จะถูกจัดกำหนดการเกิดเพื่อที่จะถูกนำมาจำลองพฤติกรรมของวงจรต่อไป การทำงานของวิธีการจำลองเชิงเหตุการณ์ จะแสดงดังรูปที่ 2.7

## 2.6 การประเมินความเชื่อถือได้ด้านเวลาของวงจรรวมวาร์

เนื่องจากการออกแบบวงจรรวมวาร์ เราจำเป็นต้องกำหนดโมเดลความหน่วงที่ใช้ ดังนั้นในขั้นตอนวิธีการทวนสอบจะต้องสามารถตรวจสอบได้ว่าวงจรรันทำงานได้ถูกต้องตามโมเดลความหน่วงที่กำหนดไว้

สำหรับงานวิจัยฉบับนี้จะมุ่งเน้นเพื่อทวนสอบวงจรรวมวาร์ที่มีโมเดลความหน่วงแบบควอไซติลเย์อินเซนซิทีฟ เพราะฉะนั้นหากวงจรใดไม่สามารถทำงานได้ถูกต้องตามโมเดลความหน่วงดังกล่าว จะเรียกว่าเกิดความผิดพลาดด้านเวลา (timing - fault) ขึ้น นั่นคือ การเปลี่ยนแปลงค่าความหน่วงของเกตและค่าความหน่วงในสายสัญญาณ มีผลทำให้การเปลี่ยนแปลงสัญญาณของวงจรไม่เป็นไปตามซิกแนลทรานสิชันกราฟ ทั้งนี้เพราะจากนิยามของโมเดลความหน่วงแบบควอไซติลเย์อินเซนซิทีฟนั้นได้กล่าวไว้ว่า การทำงานของวงจรจะไม่ขึ้นอยู่กับค่าความหน่วงของเกตและค่าความหน่วงในสายสัญญาณ

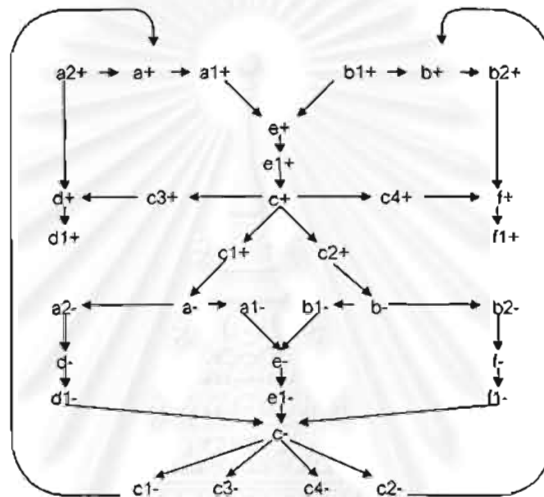


รูปที่ 2.8 วงจร C-element ที่มีโมเดลความหน่วงแบบฮัพแมน

ความผิดพลาดด้านเวลานี้เราสามารถตรวจสอบได้ โดยการวิเคราะห์หาจุดวิกฤตของวงจร เพื่อทดลองเปลี่ยนแปลงค่าความหน่วงของเกตและค่าความหน่วงในสายสัญญาณ ณ จุดวิกฤตนั้น

ว่าจะมีผลกระทบต่อพฤติกรรมของวงจรหรือไม่ จุดวิกฤตดังกล่าวนี้จะได้จากการวิเคราะห์พฤติกรรมของวงจรซึ่งแสดงด้วยแผนภาพคล้ายซิกแนลทรานสิชันกราฟ (STG-like diagram) ดังตัวอย่างรูปที่ 2.9 จะแสดงแผนภาพคล้ายซิกแนลทรานสิชันกราฟของวงจร C-element ในรูปที่ 2.8 ที่มีโมเดลความหน่วงแบบฮัพแมน

แผนภาพคล้ายซิกแนลทรานสิชันกราฟจะแสดงคุณสมบัติ causal relation ของทุกๆ การเปลี่ยนแปลงสัญญาณเช่นเดียวกับซิกแนลทรานสิชันกราฟ นอกจากนี้ยังใช้เส้นปะเพื่อแสดงความสัมพันธ์แบบ OR-causality ด้วย นั่นคือการเปลี่ยนแปลงสัญญาณสามารถเกิดขึ้นเมื่อสัญญาณใดสัญญาณหนึ่งที่มีคุณสมบัติ causal relation กับสัญญาณนั้นเกิดการเปลี่ยนแปลงสัญญาณ



รูปที่ 2.9 แผนภาพคล้ายซิกแนลทรานสิชันกราฟของวงจร C-element ในรูปที่ 2.8

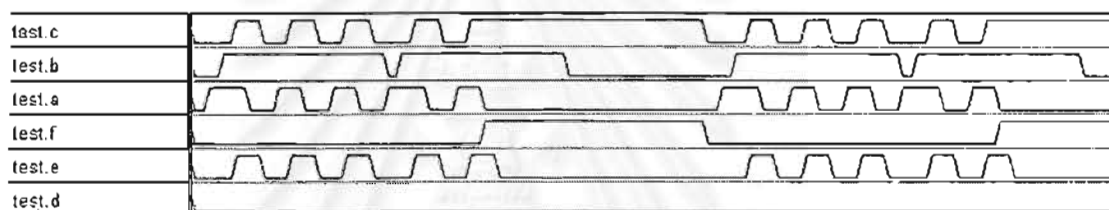
จากรูปที่ 2.9 จะพบว่ามีการเปลี่ยนแปลงสัญญาณที่ไม่มีลูกศรต่อ ได้แก่  $d1+$ ,  $f1+$ ,  $c3-$ , และ  $c4-$  แสดงว่าการเปลี่ยนแปลงสัญญาณเหล่านี้ จะไม่มีผลทำให้การเปลี่ยนแปลงสัญญาณอื่นๆ เกิดขึ้นในช่วงการทำงานของวงจรเลย และการเปลี่ยนแปลงสัญญาณเหล่านี้จะถูกเรียกว่าเป็น non-acknowledged transition ซึ่งนับเป็นจุดวิกฤตที่เราต้องนำมาพิจารณาตามเงื่อนไขดังนี้คือ วงจรจะทำงานได้ถูกต้องตามโมเดลความหน่วงแบบควอไซดีเลย์อินเซนซิทีฟก็ต่อเมื่อการเปลี่ยนแปลงสัญญาณแบบ non-acknowledged transition จะต้องเสร็จสมบูรณ์ก่อนที่การเปลี่ยนแปลงสัญญาณดังกล่าวเกิดขึ้นอีกครั้ง

ดังนั้นเมื่อเราทราบจุดวิกฤตแล้ว เราสามารถตรวจสอบด้วยการเปลี่ยนแปลงค่าความหน่วงของเกตและค่าความหน่วงในสายสัญญาณ ณ จุดวิกฤตดังกล่าว ให้ไม่เป็นไปตามเงื่อนไขข้างต้น แล้ววิเคราะห์พฤติกรรมของวงจรที่เกิดขึ้น

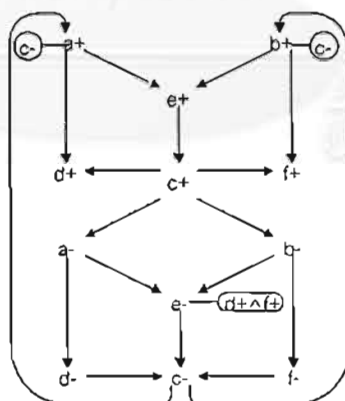
ดังตัวอย่างวงจร C-element รูปที่ 2.8 เราทราบจุดวิกฤตที่เกิดขึ้นแล้วจากแผนภาพคล้ายซิกแนลทรานสิชันกราฟในรูปที่ 2.9 ดังนั้นเราจึงวิเคราะห์พฤติกรรมของวงจร ด้วยการเปลี่ยนแปลง

ค่าความหน่วงของเกตและค่าความหน่วงในสายสัญญาณ ณ จุดวิกฤตนั้น ปรากฏว่าพฤติกรรมการทำงานของวงจรที่ได้ไม่ถูกต้อง ดังแสดงในรูปที่ 2.10 เพราะฉะนั้นจึงสรุปได้ว่าวงจร C-element รูปที่ 2.8 ไม่สามารถทำงานได้ถูกต้องตามโมเดลความหน่วงแบบควอไซดีเลย์อินเซนซิทีฟ

นอกจากนี้สำหรับแผนภาพคล้ายซิกแนลทรานสิชันกราฟในรูปที่ 2.9 การพิจารณา non-acknowledged transition ค่อนข้างซับซ้อน เราจึงแสดงแผนภาพคล้ายซิกแนลทรานสิชันกราฟด้วย safety diagram ดังตัวอย่างรูปที่ 2.11 จะแสดง safety diagram ของแผนภาพคล้ายซิกแนลทรานสิชันกราฟในรูปที่ 2.9 จากรูปที่ 2.11 non-acknowledged transition จะถูกล้อมรอบด้วยวงกลมและมีเส้นเชื่อมที่มีลักษณะเป็นเส้นปะไปยังอีกการเปลี่ยนแปลงสัญญาณหนึ่งซึ่งเป็นการแสดงจุดวิกฤตในการทดสอบความถูกต้องของวงจร ดังตัวอย่าง จากรูปที่ 2.11 วงจรจะทำงานได้ถูกต้องตามโมเดลความหน่วงแบบควอไซดีเลย์อินเซนซิทีฟก็ต่อเมื่อการเปลี่ยนแปลงสัญญาณ e- จะเกิดขึ้นหลังจากที่การเปลี่ยนแปลงสัญญาณ d+ และ f+ ต้องเสร็จสิ้นสมบูรณ์ก่อน เป็นต้น



รูปที่ 2.10 การจำลองพฤติกรรมของวงจร C-element ในรูปที่ 2.8 เมื่อทดลองเปลี่ยนแปลงค่าความหน่วง ณ จุดวิกฤต



รูปที่ 2.11 Safety Diagram ของแผนภาพคล้ายซิกแนลทรานสิชันกราฟในรูปที่ 2.9

## 2.7 สรุป

ในบทนี้ได้กล่าวถึงซิกแนลทรานสิชันกราฟโดยได้อธิบายถึงรูปแบบของการกำหนดคุณลักษณะของวงจรด้วยซิกแนลทรานสิชันกราฟ, ความสัมพันธ์ที่เกิดขึ้นภายในเซตของการเปลี่ยนแปลงสัญญาณ, คุณสมบัติของซิกแนลทรานสิชันกราฟที่สัมพันธ์กับ state graph เพื่อให้ได้วงจรที่



มีคุณสมบัติ deadlock – free และ hazard – free, เทคนิคการแยกซิกแนลทรานส์ชันกราฟเป็นกราฟ contracted STG, โมเดลความหน่วงแบบควอไซดีเลย์อินเซนซิทีฟ ที่นำมาใช้ในการออกแบบวงจรและวิธีการตรวจสอบความถูกต้องในการทำงานของวงจรอสมวารที่มีโมเดลความหน่วงแบบควอไซดีเลย์อินเซนซิทีฟ

นอกจากนี้ยังได้กล่าวถึง เทคนิคการทดสอบเส้นทางพื้นฐาน และวิธีการจำลองเชิงเหตุการณ์ซึ่งเป็น วิธีการที่เหมาะสมสำหรับการจำลองพฤติกรรมของวงจรอสมวารด้วย

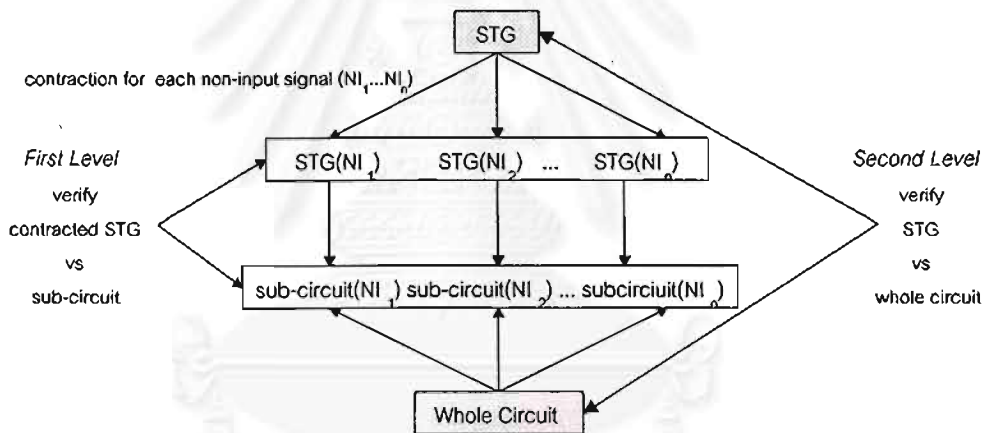
ซึ่งจากความรู้ที่ได้กล่าวมาทั้งหมดนี้ เพียงพอสำหรับเป็นความรู้พื้นฐาน ที่จะให้ผู้อ่านสามารถทำความเข้าใจกับงานวิจัยที่จะนำเสนอในบทต่อไปได้เป็นอย่างดี



### บทที่ 3

#### การทวนสอบวงจรผสมวารเชิงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์

การทวนสอบวงจรผสมวารที่นำเสนอในงานวิจัยฉบับนี้จะเป็นขั้นตอนวิธีการทวนสอบวงจรผสมวารแบบควอซีดีเลย์อินเซนซิทีฟเชิงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์ (hierarchical verification of quasi - delay - insensitive asynchronous circuits based on event -driven simulation) โดยจะแบ่งขั้นตอนวิธีการทวนสอบออกเป็น 2 ชั้น ดังนี้ ในชั้นที่หนึ่งจะทำการทวนสอบแต่ละวงจรมองกับคุณลักษณะของมันที่ได้จากการแยกซิกแนลทรานสิชันกราฟเป็นกราฟ contracted STG หลังจากนั้นในชั้นที่สอง จะทำการทวนสอบทั้งวงจรโดยจะพิจารณาเฉพาะสัญญาณเชื่อมต่อ (interconnected signal) ของแต่ละวงจรมอง ทั้งนี้เพื่อแสดงให้เห็นว่าเมื่อนำแต่ละวงจรมองมาเชื่อมต่อเข้าด้วยกันแล้ว ทั้งวงจรสามารถทำงานได้ถูกต้องตรงตามซิกแนลทรานสิชันกราฟที่ได้ออกแบบไว้ สำหรับขั้นตอนวิธีการทวนสอบวงจรผสมวารเชิงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์ที่ได้กล่าวข้างต้นนี้จะแสดงดังรูปที่ 3.1



รูปที่ 3.1 การทวนสอบวงจรผสมวารเชิงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์

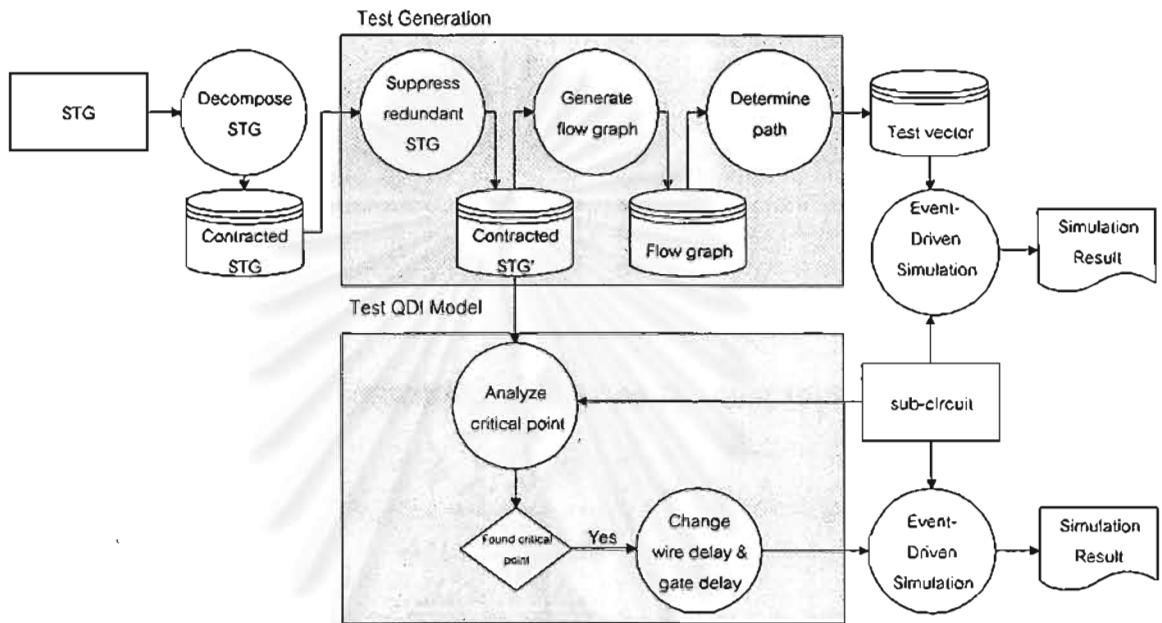
#### 3.1 การทวนสอบวงจรผสมวารเชิงลำดับชั้นขั้นที่ 1

ขั้นตอนวิธีการทวนสอบวงจรผสมวารเชิงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์ในขั้นที่ 1 แสดงดังรูปที่ 3.2 นั่นคือ จะทำการทวนสอบแต่ละวงจรมองซึ่งได้จากการแบ่งวงจรทั้งหมดโดยนำเอาสัญญาณที่ไม่ใช่สัญญาณอินพุตในซิกแนลทรานสิชันกราฟมาเป็นสัญญาณเอาต์พุตของแต่ละวงจรมอง และนำไปทวนสอบกับกราฟ contracted STG ที่ได้จากการแยกซิกแนลทรานสิชันกราฟด้วยเทคนิคการคอนแทรคซิกแนลทรานสิชันกราฟ

ตัวอย่างเช่นการทวนสอบระหว่างซิกแนลทรานสิชันกราฟของวงจร fifo กับวงจร fifo ในรูปที่ 3.3 ซิกแนลทรานสิชันกราฟของวงจร fifo ในรูปที่ 3.3 (a) สามารถแยกออกเป็น 4 กราฟ contracted STG ได้แก่ กราฟ contracted STG ของสัญญาณ Ai, Ro, D และ L แสดงดังรูปที่ 3.4

จากรูปที่ 3.2 ในการทวนสอบวงจรถสมวารในขั้นที่ 1 เราจะต้องสร้างเวกเตอร์ทดสอบของแต่ละกราฟ contracted STG เพื่อนำมาเป็นเวกเตอร์ทดสอบอินพุตสำหรับการจำลองพฤติกรรมของวงจรถ และใช้ตรวจสอบความถูกต้องของการจำลองพฤติกรรมของวงจรถด้วยวิธีการจำลองเชิงเหตุการณ์โดยใช้ภาษา Verilog

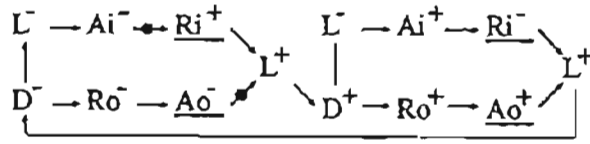
เวกเตอร์ทดสอบที่ถูกสร้างขึ้นนี้จะมีลักษณะเป็นเส้นทาง (path) ที่แสดงเซตลำดับของการเปลี่ยนแปลงสัญญาณ และจะมีคุณสมบัติ causal relation เช่นเดียวกับซิกแนลทรานสิชันกราฟ



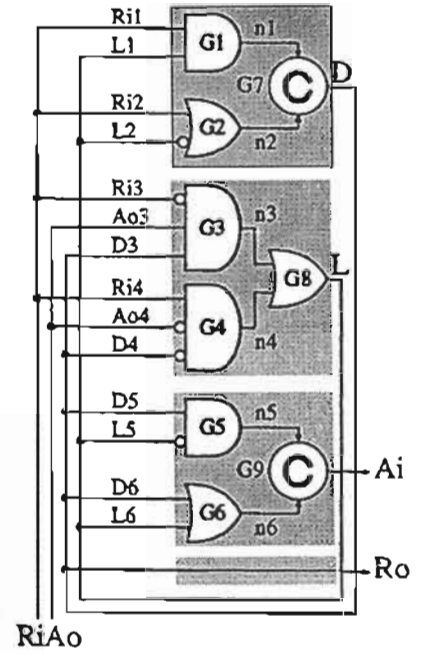
รูปที่ 3.2 การทวนสอบวงจรถสมวารเชิงลำดับขั้นขั้นที่ 1

ดังนั้นเมื่อนำเวกเตอร์ทดสอบทั้งหมดเหล่านี้ไปทวนสอบโดยใช้วิธีการจำลองเชิงเหตุการณ์ จะพบว่าหากวงจรถใดมี hazard เกิดขึ้น จะมีผลทำให้ลำดับการเปลี่ยนแปลงสัญญาณที่เกิดขึ้นไม่เป็นไปตามเวกเตอร์ทดสอบ ทำให้สามารถตรวจพบได้ว่าวงจรถนั้นไม่ถูกต้องตรงตามคุณลักษณะที่กำหนดไว้ในขั้นตอนการออกแบบ

แต่อย่างไรก็ตาม การเปรียบเทียบลำดับการเปลี่ยนแปลงสัญญาณที่เกิดขึ้นกับเวกเตอร์ทดสอบ ยังไม่เพียงพอสำหรับการตรวจสอบ hazard เพราะมีบางวงจรถที่มี hazard เกิดขึ้นแต่ไม่มีผลต่อลำดับการเปลี่ยนแปลงสัญญาณ ดังนั้นเราจึงต้องทำการตรวจสอบด้วยการเปรียบเทียบจำนวนครั้งของการเปลี่ยนแปลงสัญญาณภายในของเวกเตอร์ทดสอบทั้งหมดซึ่งใช้หลักการเช่นเดียวกับ transition-count testing [9] แต่สิ่งที่แตกต่างกันคือเราจะนับจำนวนครั้งของการเปลี่ยนแปลงสัญญาณทุกๆ state โดยที่การเปลี่ยนแปลงสัญญาณนั้นไม่ต้องอยู่ในสถานะ stable ดังนั้นถ้าเวกเตอร์ทดสอบทั้งหมดมีจำนวนครั้งของการเปลี่ยนแปลงสัญญาณภายในเท่ากันแสดงว่าวงจรถนั้นไม่มี hazard เกิดขึ้น

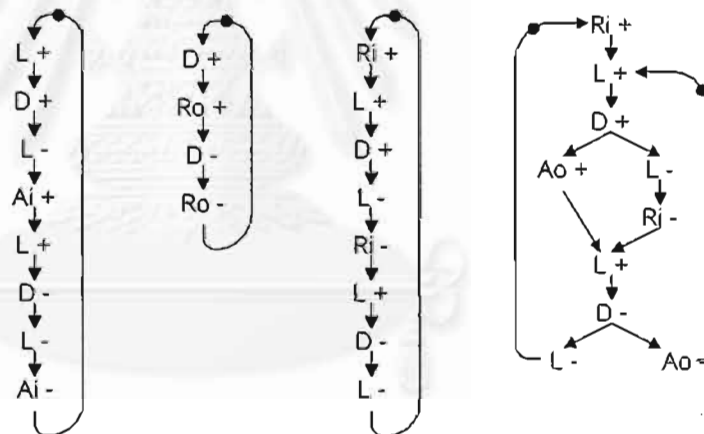


(a)



(b)

รูปที่ 3.3 (a) ซิกแนลทรานสิชันกราฟของวงจร fifo (b) วงจร fifo



(a)

(b)

(c)

(d)

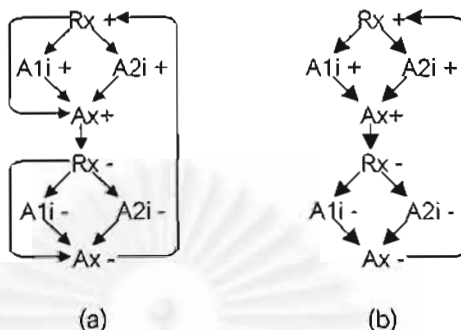
รูปที่ 3.4 กราฟ contracted STG ทั้งหมดของวงจร fifo สำหรับสัญญาณ (a) Ai (b) Ro (c) D (d) L

สำหรับขั้นตอนวิธีการสร้างเวกเตอร์ทดสอบ (test generation) จากกราฟ contracted STG เพื่อใช้ทดสอบกับแต่ละวงจรย่อย จะเป็นดังนี้

- 1) การกำจัดเส้นเชื่อมที่ซ้ำซ้อน (redundant edge) ออกจากกราฟ contracted STG
- 2) การสร้างกราฟสายงานจาก contracted STG
- 3) การกำหนดเส้นทางเพื่อสร้างเวกเตอร์ทดสอบ

### 1) การกำจัดเส้นเชื่อมที่ซ้ำซ้อนออกจากกราฟ contracted STG

หลังจากใช้เทคนิคการคอนแทรคเพื่อแยกซิกแนลทรานซิชันกราฟออกเป็นกราฟ contracted STG จะพบว่ามียางกราฟ contracted STG จะมีเส้นเชื่อมที่ไม่จำเป็นต้องมี ตัวอย่างเช่นกราฟ contracted STG ของวงจร hybrid สำหรับสัญญาณ Ax ดังรูปที่ 3.5 (a)



(a) ก่อนกำจัดเส้นเชื่อมที่ซ้ำซ้อน (b) หลังกำจัดเส้นเชื่อมที่ซ้ำซ้อน

รูปที่ 3.5 กราฟ contracted STG ของวงจร hybrid สำหรับสัญญาณ Ax

จากรูปที่ 3.5 (a) จะพบว่าเส้นเชื่อมระหว่าง  $Rx+$  กับ  $Ax+$  และ  $Rx-$  กับ  $Ax-$  ไม่จำเป็นต้องมีก็ได้เพราะอย่างไรก็ตามสัญญาณ Rx จะต้องเกิดการเปลี่ยนแปลงสัญญาณแบบ rising ก่อนแล้วจึงทำให้สัญญาณ  $A1i$  และ  $A2i$  เกิดการเปลี่ยนแปลงสัญญาณแบบ rising ซึ่งการเปลี่ยนแปลงทั้งสองสัญญาณนี้เองจึงสามารถทำให้สัญญาณ Ax เกิดการเปลี่ยนแปลงสัญญาณแบบ rising ได้ เพราะฉะนั้นเส้นเชื่อมระหว่าง  $Rx+$  กับ  $Ax+$  จึงเป็นเส้นเชื่อมที่ซ้ำซ้อน

สำหรับ  $Rx-$  กับ  $Ax-$  จะวิเคราะห์เช่นเดียวกันกับ  $Rx+$  กับ  $Ax+$  ดังนั้นกราฟ contracted STG ของวงจร hybrid สำหรับสัญญาณ Ax เมื่อกำจัดเส้นเชื่อมซ้ำซ้อนที่เกิดขึ้นแล้วจะได้กราฟ contracted STG ดังรูปที่ 3.5 (b)

### 2) การสร้างกราฟสายงานจากกราฟ contracted STG

ขั้นตอนนี้เป็นขั้นตอนการวิเคราะห์กราฟ contracted STG เพื่อสร้างกราฟสายงานที่แสดงพฤติกรรมของกราฟ contracted STG สิ่งสำคัญที่ต้องนำมาพิจารณาคือ

- คุณสมบัติ temporal relation ของแต่ละการเปลี่ยนแปลงสัญญาณในกราฟ contracted STG
- คุณสมบัติ causal relation ของแต่ละการเปลี่ยนแปลงสัญญาณในกราฟ contracted STG

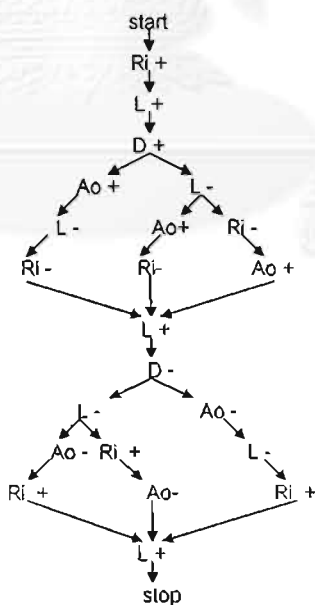
- คุณสมบัติ temporal relation ของแต่ละการเปลี่ยนแปลงสัญญาณในกราฟ contracted STG

คุณสมบัติ temporal relation เป็นสิ่งสำคัญที่จะต้องนำมาพิจารณาก็คือ ในกรณีของการเปลี่ยนแปลงสัญญาณในกราฟ contracted STG ที่มีคุณสมบัติ concurrent temporal relation เราจะไม่ทราบลำดับของการเปลี่ยนแปลงสัญญาณที่เกิดขึ้นดังนั้นจึงจำเป็นต้องคำนึงถึงลำดับของการเกิดการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ทั้งหมด

- คุณสมบัติ causal relation ของแต่ละการเปลี่ยนแปลงสัญญาณในกราฟ contracted STG

ทั้งนี้เนื่องจากความสัมพันธ์ของแต่ละการเปลี่ยนแปลงสัญญาณในกราฟ contracted STG จะมีคุณสมบัติ causal relation เช่นเดียวกับซิกแนลทรานสชันกราฟ โดยความสัมพันธ์ดังกล่าวนี้จะเริ่มพิจารณาจากสถานะเริ่มต้นของวงจรหรือสัญลักษณ์ initial marking นั้นเอง และสัญลักษณ์ marking นี้จะเกิดการ firing ในกราฟ contracted STG ตามลำดับเพื่อแสดงคุณลักษณะของวงจร ดังนั้นกราฟสายงานจำเป็นต้องมีคุณสมบัตินี้เช่นเดียวกับกราฟ contracted STG

ตัวอย่าง กราฟสายงานที่ได้จากการวิเคราะห์กราฟ contracted STG ของวงจร fifo สำหรับสัญญาณ L แสดงดังรูปที่ 3.6



รูปที่ 3.6 กราฟสายงานของกราฟ contracted STG ของวงจร fifo สำหรับสัญญาณ L

### 3) การกำหนดเส้นทางเพื่อสร้างเวกเตอร์ทดสอบ

ขั้นตอนนี้เป็นขั้นตอนวิธีการคัดเลือกเส้นทางจากกราฟสายงาน เพื่อสร้างเวกเตอร์ทดสอบ โดยเส้นทางที่จะถูกนำมาสร้างเป็นเวกเตอร์ทดสอบ จะได้จากการพิจารณาจากจุดเริ่มต้นไปยังจุดสุดท้ายของกราฟสายงานด้วยเทคนิคการทดสอบเส้นทางพื้นฐานเพื่อสร้างเวกเตอร์ทดสอบจำนวนน้อยที่สุด ที่สามารถทดสอบได้ครอบคลุมทุกเส้นทางของกราฟสายงาน โดยจำนวนเวกเตอร์ทดสอบที่สร้างขึ้นมานี้จะมีค่าเท่ากับค่าความซับซ้อนไซโคลเมตริก ตัวอย่างเช่นจากรูปที่ 3.6 ค่าความซับซ้อนไซโคลเมตริกเท่ากับ 5 ดังนั้นจะมีเวกเตอร์ทดสอบเท่ากับ 5 อัน ดังนี้

เวกเตอร์ทดสอบที่ 1 ได้แก่ start Ri+ L+ D+ Ao+ L- Ri- L+ D- L- Ao- Ri+ L+ stop

เวกเตอร์ทดสอบที่ 2 ได้แก่ start Ri+ L+ D+ Ao+ L- Ri- L+ D- L- Ri+ A0- L+ stop

เวกเตอร์ทดสอบที่ 3 ได้แก่ start Ri+ L+ D+ Ao+ L- Ri- L+ D- Ao- L- Ri+ L+ stop

เวกเตอร์ทดสอบที่ 4 ได้แก่ start Ri+ L+ D+ L- A0+ Ri- L+ D- L- Ao- Ri+ L+ stop

เวกเตอร์ทดสอบที่ 5 ได้แก่ start Ri+ L+ D+ L- Ri- Ao+ L+ D- L- Ao- Ri+ L+ stop

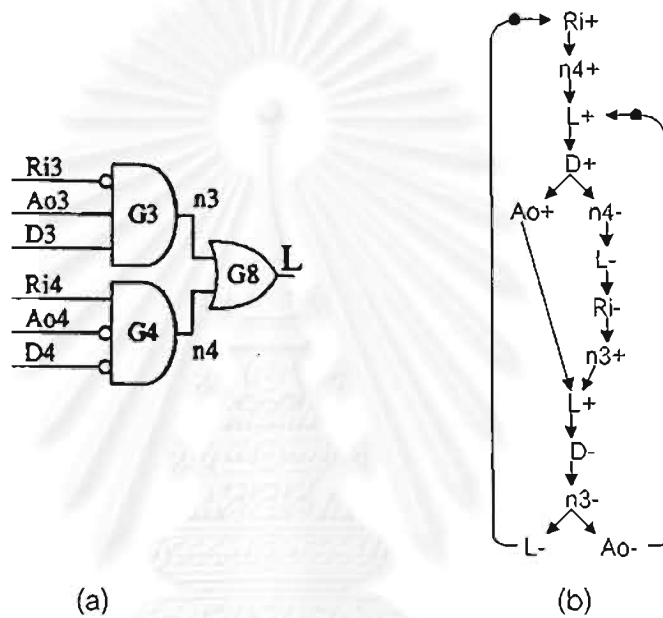
เมื่อสร้างเวกเตอร์ทดสอบเสร็จเรียบร้อยแล้ว หลังจากนั้นเราจะนำเวกเตอร์ทดสอบแต่ละอันมาทำการจำลองเชิงเหตุการณ์เพื่อตรวจสอบความถูกต้องของลำดับการเปลี่ยนแปลงสัญญาณ ดังตัวอย่างในรูปที่ 3.7 จะแสดงผลลัพธ์การจำลองพฤติกรรมของวงจรร้อยของวงจrfifo สำหรับสัญญาณ L ด้วยเวกเตอร์ทดสอบที่ 1 จากผลลัพธ์ดังกล่าวแสดงว่าลำดับการเปลี่ยนแปลงสัญญาณที่ได้คือ Ri+ L+ D+ Ao+ L- Ri- L+ D- L- Ao- Ri+ L+ ถูกต้องตรงตามเวกเตอร์ทดสอบ



รูปที่ 3.7 การจำลองพฤติกรรมของวงจรร้อยของวงจrfifo สำหรับสัญญาณL ด้วยเวกเตอร์ทดสอบที่1

อย่างไรก็ตามแม้ว่าการจำลองพฤติกรรมของวงจรร้อยจะถูกต้องตามเวกเตอร์ทดสอบ ทั้งหมดเราก็ยังไม่สามารถสรุปได้ว่าวงจรร้อยดังกล่าวผ่านการทวนสอบในขั้นที่1 ทั้งนี้เพราะในการนำเวกเตอร์ทดสอบแต่ละอันมาทำการจำลองเชิงเหตุการณ์ เพื่อที่จะทำให้ตัวจำลองที่ใช้สามารถแสดงผลลัพธ์ของพฤติกรรมของวงจรร้อยที่ได้จากการจำลองจำเป็นต้องใส่ค่าความหน่วงของเกตและค่าความหน่วงในสายสัญญาณ ซึ่งค่าความหน่วงดังกล่าวเป็นค่าที่กำหนดขึ้นเอง ดังนั้นเพื่อให้สามารถทดสอบได้ว่าวงจรร้อยทำงานได้ถูกต้องตามโมเดลความหน่วงแบบควอไซดีเลย์อินเซนซิทีฟนั้นคือ การทำงานของวงจรร้อยจะไม่ขึ้นอยู่กับค่าความหน่วงของเกตและค่าความหน่วงในสายสัญญาณเราจึงต้อง

ประยุกต์ใช้วิธีการประเมินความเชื่อถือได้ด้านเวลาสำหรับพิจารณาพฤติกรรมของวงจรที่แสดงในรูปของแผนภาพคล้ายซิกแนลทรานสิชันกราฟหรือ safety diagram เพื่อหาจุดวิกฤตสำหรับทดลองเปลี่ยนแปลงค่าความหน่วงให้ขัดแย้งกับเงื่อนไขที่ได้จากแผนภาพคล้ายซิกแนลทรานสิชันกราฟหรือ safety diagram เพื่อวิเคราะห์พฤติกรรมของวงจรที่เกิดขึ้น ดังตัวอย่างรูปที่ 3.8 จะแสดงแผนภาพคล้ายซิกแนลทรานสิชันกราฟของวงจรร้อยของวงจร fifo ของสัญญาณ L ซึ่งจากรูปที่ 3.8(b) จะพบว่าไม่มี non - acknowledged transition เกิดขึ้น จึงสรุปได้ว่าวงจรถูกกล่าวผ่านการทวนสอบขั้นที่ 1 อย่างสมบูรณ์



รูปที่ 3.8 (a) วงจรร้อยของวงจรร้อยของสัญญาณ L

(b) แผนภาพคล้ายซิกแนลทรานสิชันกราฟของรูปที่ 3.8 (a)

### 3.2 การทวนสอบวงจรสมวารเชิงลำดับขั้นขั้นที่ 2

ขั้นตอนวิธีการทวนสอบวงจรสมวารเชิงลำดับขั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์ในขั้นที่ 2 แสดงดังรูปที่ 3.9 จะทำก็ต่อเมื่อแต่ละวงจรร้อยของทั้งวงจรผ่านการทวนสอบในขั้นที่ 1 แล้ว และเพื่อให้สอดคล้องกับแนวความคิดการทวนสอบเชิงลำดับขั้น[11] การทวนสอบในขั้นนี้จึงพิจารณาเฉพาะสัญญาณเชื่อมต่อของแต่ละวงจรร้อย โดยไม่พิจารณาในรายละเอียดของแต่ละวงจรร้อย ทั้งนี้เพราะมันผ่านการทวนสอบอย่างละเอียดในขั้นที่หนึ่งแล้ว ดังนั้นโครงสร้างของวงจรร้อยที่ จะถูกนำมาทวนสอบในขั้นนี้จะแสดงดังรูปที่ 3.3(b) โดยจะไม่ทวนสอบในส่วนที่แรก

ในการสร้างเวกเตอร์ทดสอบเพื่อให้สอดคล้องกับแนวความคิดดังกล่าวข้างต้น งานวิจัยฉบับนี้จึงได้ทำการวิเคราะห์ซิกแนลทรานสิชันกราฟ โดยคำนึงถึงโมเดลสิ่งแวดล้อม (environmental model) ที่ใช้และพบว่า มีจุดที่น่าสนใจคือคุณสมบัติ concurrent temporal



relation ของการเปลี่ยนแปลงสัญญาณใดๆในซิกแนลทรานสิชันกราฟ เราจึงสรุปแนวความคิดที่ได้จากการวิเคราะห์ดังกล่าวมาประยุกต์ใช้กับขั้นตอนวิธีการสร้างเวกเตอร์ทดสอบในขั้นนี้ซึ่งจะได้นำเสนออย่างละเอียดในบทที่ 5

เหตุที่เราต้องคำนึงถึงโมเดลสิ่งแวดล้อมทั้งนี้เพราะ โมเดลสิ่งแวดล้อมเป็นรูปแบบที่ใช้กำหนดการตอบสนองกันระหว่างวงจรกับสิ่งแวดล้อมเพื่อควบคุมให้วงจรทำงานได้ถูกต้องตามที่กำหนดไว้ โดยปกติแล้วโมเดลสิ่งแวดล้อม มี 2 แบบ [7] ได้แก่ fundamental mode และ input – output mode แต่โมเดลสิ่งแวดล้อมที่เหมาะสมกับการทำงานของวงจรสมวาร ก็คือ input – output mode ทั้งนี้เพราะความถูกต้องของการทำงานของวงจรจะไม่ขึ้นอยู่กับค่าความหน่วงของเกต และค่าความหน่วงในสายสัญญาณ นั่นคือเราไม่รู้ค่าความหน่วงที่แน่นอน ดังนั้นการเปลี่ยนแปลงค่าของสัญญาณอินพุตจะเกิดขึ้นได้ก็ต่อเมื่อมีการเปลี่ยนแปลงค่าของสัญญาณเอาต์พุตเกิดขึ้น เป็นลักษณะการทำงานแบบเชิงเหตุการณ์ หมายถึง ลำดับการเปลี่ยนแปลงของสัญญาณมีผลต่อสัญญาณเอาต์พุตที่เกิดขึ้น

จากรูปที่ 3.9 จะแสดงขั้นตอนวิธีในการสร้างเวกเตอร์ทดสอบเพื่อใช้ทวนสอบในขั้นที่ 2 มีดังนี้

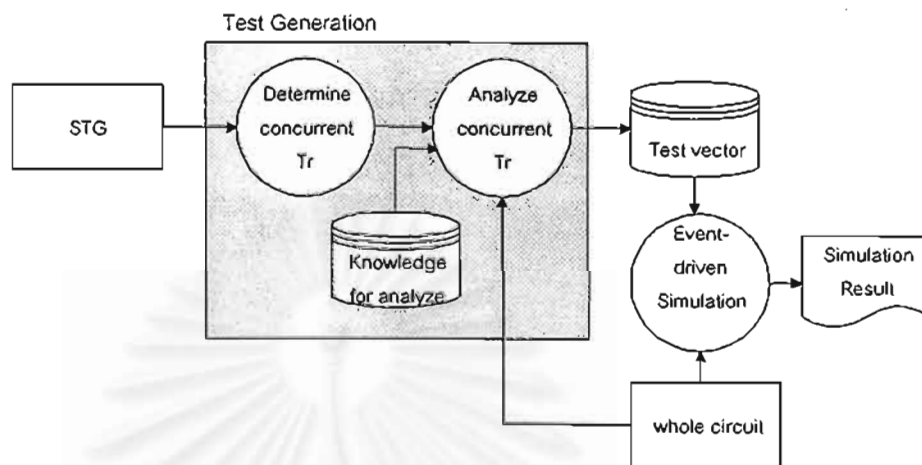
1) พิจารณาคู่ของการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation ทั้งหมดจากซิกแนลทรานสิชันกราฟ ตัวอย่างเช่น จากซิกแนลทรานสิชันกราฟของวงจร fifo ในรูปที่ 3.3(a) จะมีจำนวนคู่ของการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation ทั้งหมด 12 คู่ ได้แก่  $Ro+||L-, Ro+||Ai+, Ro+||Ri-, Ao+||L-, Ao+||Ai+, Ao+||Ri-, L-||Ro-, L-||Ao-, Ai-||Ro-, Ai-||Ao-, Ri+||Ro-, Ri+||Ao-$

2) ทำการวิเคราะห์ทุกคู่ของการเปลี่ยนแปลงสัญญาณที่ได้จากข้อ 1 โดยใช้แนวความคิดในการวิเคราะห์คุณสมบัติ concurrent temporal relation ที่ได้นำเสนอในงานวิจัยฉบับนี้ พิจารณาร่วมกับซิกแนลทรานสิชันกราฟและวงจร เพื่อหาคู่ของการเปลี่ยนแปลงสัญญาณที่จะเป็นเวกเตอร์ทดสอบในขั้นนี้ เพราะฉะนั้นเมื่อได้ทำการวิเคราะห์ทุกคู่ของการเปลี่ยนแปลงสัญญาณในข้อ 1 แล้วพบว่าจะได้เวกเตอร์ทดสอบเพื่อใช้ในการทวนสอบเท่ากับ 2 อัน ได้แก่  $Ao+||L-$  และ  $L-||Ao-$

สำหรับเวกเตอร์ทดสอบที่ได้จากการวิเคราะห์นี้จะถูกนำไปทวนสอบวงจร ด้วยวิธีการจำลองเชิงเหตุการณ์โดยใช้ภาษา Verilog เพื่อพิจารณาว่าลำดับการเกิดการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ทั้งหมดจากคู่ของสัญญาณที่มีคุณสมบัติ concurrent temporal relation จะมีผลกับลำดับของการเปลี่ยนแปลงสัญญาณในซิกแนล ทรานสิชันกราฟหรือไม่

ตัวอย่างเช่นจากเวกเตอร์ทดสอบ  $Ao+||L-$  ที่ได้จากการวิเคราะห์ในข้อ 2 ลำดับการเกิดการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ทั้งหมดที่ต้องนำมาทวนสอบก็คือ

- การพิจารณาลำดับของสัญญาณ Ao+ เกิดก่อนสัญญาณ L-
  - การพิจารณาลำดับของสัญญาณ L- เกิดก่อนสัญญาณ Ao+
- สำหรับเวกเตอร์ทดสอบ L-||Ao- ก็จะมีการพิจารณาเช่นเดียวกัน



รูปที่ 3.9 การทดสอบวงจรสมวารเชิงลำดับขั้นขั้นที่ 2

### 3.3 สรุป

ในบทนี้ได้กล่าวถึงขั้นตอนวิธีการทดสอบวงจรสมวารเชิงลำดับขั้น โดยจะแบ่งการทดสอบวงจรเป็น 2 ขั้น ในแต่ละขั้นของการทดสอบจะใช้วิธีการจำลองเชิงเหตุการณ์ด้วยภาษา Verilog ตามเวกเตอร์ทดสอบที่ได้สร้างขึ้นมานอกจากนี้ยังประยุกต์ใช้เทคนิคการประเมินความเชื่อถือได้ด้านเวลาของวงจรสมวารเพื่อตรวจสอบการทำงานของวงจรว่าถูกต้องตามโมเดลความหวังแบบควอไซต์ไคเลียนเซนซีทีฟด้วย

สำหรับขั้นตอนวิธีการสร้างเวกเตอร์ทดสอบ จะได้มาจากการวิเคราะห์ซิกแนลทรานสิชันกราฟโดยใช้เทคนิคต่างๆ ร่วมกัน ได้แก่ เทคนิคการคอนแทรคซิกแนลทรานสิชันกราฟ, แนวความคิดในการวิเคราะห์คุณสมบัติ concurrent temporal relation ของการเปลี่ยนแปลงสัญญาณในซิกแนลทรานสิชันกราฟที่การทำงานของวงจรเป็นแบบ input – output mode และเทคนิคการทดสอบเส้นทางพื้นฐาน

ขั้นตอนวิธีการทดสอบวงจรสมวารเชิงลำดับขั้นที่ได้นำเสนอในบทนี้เป็นเพียงโครงสร้างของขั้นตอนวิธีการทดสอบวงจรสมวารเชิงลำดับขั้น เพื่อให้ผู้อ่านได้เกิดความเข้าใจวิธีการทดสอบในแต่ละขั้นและภาพรวมของขั้นตอนวิธีการทดสอบทั้งหมด สำหรับในบทต่อไป ได้แก่บทที่ 4 และ บทที่ 5 จะเป็นการนำเสนอขั้นตอนวิธีการทดสอบวงจรสมวารขั้นที่ 1 และขั้นที่ 2 อย่างละเอียดตามลำดับ

## บทที่ 4

### การทวนสอบวงจรผสมวาระเชิงลำดับชั้นขั้นที่ 1

จากบทที่แล้วได้กล่าวถึง โครงสร้างของขั้นตอนวิธีการทวนสอบวงจรผสมวาระเชิงลำดับชั้น โดยให้วิธีการจำลองเชิงเหตุการณ์ซึ่งแบ่งออกเป็น 2 ชั้นในขั้นแรกจะทำการทวนสอบแต่ละวงจรรย่อยและถ้าวงจรรย่อยทั้งหมดผ่านการทวนสอบในขั้นที่ 1 แล้วก็จะทำการทวนสอบทั้งวงจรเพื่อรับประกันความถูกต้อง เมื่อนำวงจรรย่อยทั้งหมดมาเชื่อมต่อเข้าด้วยกันแล้ววงจรสามารถทำงานได้ตรงตามคุณลักษณะของวงจรที่ได้ออกแบบไว้

ดังนั้นในบทนี้เราจะกล่าวถึง รายละเอียดของขั้นตอนวิธีการทวนสอบวงจรผสมวาระเชิงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์ขั้นที่ 1 โดยจะอธิบายเกี่ยวกับขั้นตอนวิธีการสร้างเวกเตอร์ทดสอบและวิธีการจำลองเชิงเหตุการณ์กับเวกเตอร์ทดสอบเพื่อทำการทวนสอบวงจรผสมวาระในขั้นที่ 1

#### 4.1 การสร้างเวกเตอร์ทดสอบ

ในขั้นนี้จะเป็นขั้นตอนการสร้างเวกเตอร์ทดสอบเพื่อใช้ทวนสอบกับแต่ละวงจรรย่อย ซึ่งจะมีขั้นตอนวิธีดังต่อไปนี้

Algorithm 1 Test Generation in the First Level

Step 1.1 Decompose STG for each non-input signal to produce its contracted STG.

Step 1.2 Choose a contracted STG, eliminate the redundant edges.

Step 1.3 Construct a flow graph

Step 1.4 Generate test vectors from the flow graph based on cyclomatic complexity measure

Step 1.5 Repeat step 1.2 – 1.5 until complete all contracted STG

End

จากขั้นตอนวิธีที่ 1 (algorithm 1) เราสามารถอธิบายรายละเอียดได้ดังนี้

Step 1.1 เป็นขั้นตอนที่กำหนดคุณลักษณะของแต่ละวงจรรย่อยโดยใช้เทคนิคการคอนแทรคติกแวลทรานสิชันกราฟ ด้วยการประยุกต์ใช้ ขั้นตอนวิธี 6.1 ร่วมกับขั้นตอนวิธี 6.16 [5] เพื่อทำ

การแยกซิกแนลทรานสิชันกราฟ ออกเป็นกราฟ contracted STG ของทุกๆ สัญญาณที่ไม่ใช่ สัญญาณอินพุตในซิกแนลทรานสิชันกราฟ

ตัวอย่างเช่นจากซิกแนลทรานสิชันกราฟของวงจร fifo ในรูปที่ 3.3(a) สามารถทำการแยกซิกแนลทรานสิชันกราฟได้เป็น 4 กราฟ contracted STG ได้แก่ กราฟ contracted STG ของสัญญาณ Ai, Ro, D และ L ตามลำดับดังแสดงในรูปที่ 3.4

Step 1.2 เป็นขั้นตอนที่ใช้กำจัดเส้นเชื่อมที่ซ้ำซ้อนออกจากกราฟ contracted STG ด้วยการใช้ขั้นตอนวิธีการหาเส้นเชื่อมที่ซ้ำซ้อน [6]

ตัวอย่างเช่นกราฟ contracted STG ของวงจร hybrid สำหรับสัญญาณ Ax ในรูปที่ 3.5 (a) เมื่อใช้ขั้นตอนวิธีการหาเส้นเชื่อมที่ซ้ำซ้อนจะพบว่า มีเส้นเชื่อมที่ซ้ำซ้อนได้แก่ เส้นเชื่อมระหว่าง Rx+ กับ Ax+ และเส้นเชื่อมระหว่าง Rx- กับ Ax- ดังนั้นเราจึงกำจัดเส้นเชื่อมทั้งสอง ดังนั้น กราฟ contracted STG ของวงจร hybrid สำหรับสัญญาณ Ax จะได้ดังรูปที่ 3.5(b)

Step 1.3 เป็นขั้นตอนในการวิเคราะห์ทุกๆ การเปลี่ยนแปลงสัญญาณในกราฟ contracted STG เพื่อสร้างกราฟสายงานโดยขั้นตอนวิธีในการสร้างกราฟสายงานนั้นจะมีอินพุตเป็นกราฟ contracted STG ในรูปแบบของเท็กซ์ไฟล์ (text file) ซึ่งจะอ้างอิงกับรูปแบบของ Berkeley Logic Interchange Format (BLIF) [12] สำหรับขั้นตอนวิธีการสร้างกราฟสายงานจะมีขั้นตอนวิธีดังต่อไปนี้

- Algorithm 2 Construct flow graph
- Step 2.1 Lexical analysis
- Step 2.2 Syntax analysis
- Step 2.3 Consider all contracted STG's markings and firing rules to evaluate signal transitions as the start node and the end node.
- Step 2.4 Consider all in-degree and out-degree of signal transitions of contracted STG to find sharenode
- Step 2.5 IF contracted STG has no input choice Then
- From the start node to the end node, construct flow graph for contracted STG with non-input choice
- Else
- From the start node to the end node, construct flow graph for

contracted STG with input choice

ENDIF

End

จากขั้นตอนวิธีที่ 2 (algorithm2) เราสามารถอธิบายรายละเอียดได้ดังนี้

Step 2.1 เป็นขั้นตอนการอ่านแฟ้มข้อความซึ่งเป็นไฟล์อินพุต (input file) ที่ใช้แสดงแทนกราฟ contracted STG แล้วทำการวิเคราะห์แฟ้มข้อความทีละอักขระ (character)[13] เพื่อแยกออกเป็น โทเค้น ซึ่งโทเค้นเหล่านี้จะถูกนำไปใช้ในการวิเคราะห์วากยสัมพันธ์ (syntax analysis) ต่อไป

ตัวอย่างเช่น เท็กซ์ไฟล์เป็นไฟล์อินพุตแทน contracted STG ของวงจร fifo สำหรับ สัญญาณ L แสดงดังรูปที่ 4.1

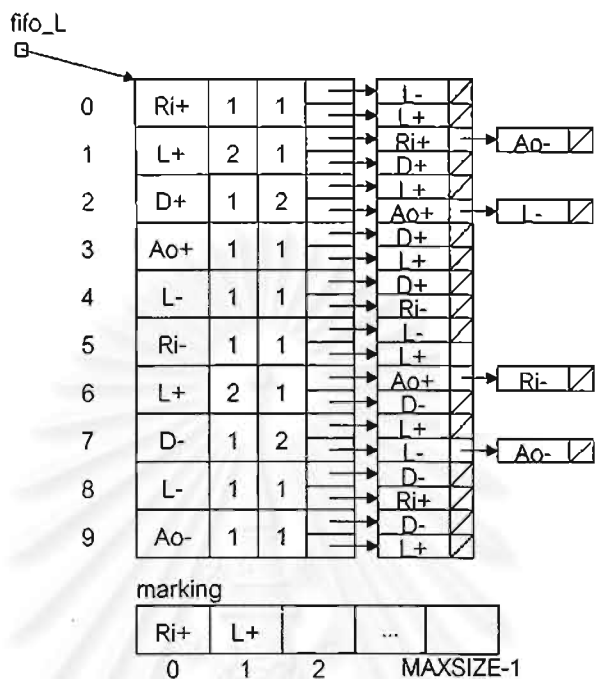
```
# fifo_L
.name    fifo_L
.inputs  Ri Ao D
.outputs L
.graph
        Ri+    L+
        L+     D+
        D+     Ao+    L-
        Ao+    L+
        L-     Ri-
        Ri-    L+
        L+     D-
        D-     L-     Ao-
        L-     Ri+
        Ao-    L+
.markings {<L- Ri+>,<Ao- L+>}
.end
```

รูปที่ 4.1 ไฟล์อินพุตของกราฟ contracted STG ของวงจร fifo สำหรับสัญญาณ L

Step 2.2 เป็นขั้นตอนการวิเคราะห์วากยสัมพันธ์ (syntax analysis) [13] เพื่อวิเคราะห์แต่ละโทเค้นที่ได้จาก step 2.1 มาสร้างเป็นโครงสร้างข้อมูลที่ใช้แทนกราฟ contracted STG เก็บไว้ในหน่วยความจำหลัก โครงสร้างข้อมูลที่ใช้แทนกราฟ contracted STG จะเป็นแถวลำดับของระเบียน (array of record) ของการเปลี่ยนแปลงสัญญาณทั้งหมดในกราฟ contracted STG โดยโครงสร้างของระเบียนจะประกอบด้วยข้อมูลดังนี้

- 1) ชื่อของการเปลี่ยนแปลงสัญญาณ (signal transitions)
- 2) จำนวนดีกรีขาเข้า (in-degree) ของการเปลี่ยนแปลงสัญญาณ
- 3) จำนวนดีกรีขาออก (out-degree) ของการเปลี่ยนแปลงสัญญาณ
- 4) รายการโยง (linked list) ของการเปลี่ยนแปลงสัญญาณขาเข้า
- 5) รายการโยงของการเปลี่ยนแปลงสัญญาณขาออก

นอกจากนี้ยังเก็บข้อมูลของสัญญาณที่เป็น initial marking ไว้ในแถวลำดับ marking ด้วย ตัวอย่างเช่น โครงสร้างข้อมูลที่ใช้แทนกราฟ contracted STG และแถวลำดับ marking ของวงจร fifo สำหรับสัญญาณ L ในหน่วยความจำหลัก แสดงดังรูปที่ 4.2



รูปที่ 4.2 โครงสร้างข้อมูลของกราฟ contracted STG และแถวลำดับ marking ของวงจร fifo สำหรับสัญญาณ L อ้างอิงจากรูปที่ 3.4 หน้า 24

Step 2.3 เป็นขั้นตอนการวิเคราะห์หากการเปลี่ยนแปลงสัญญาณเริ่มต้นและสุดท้ายโดยวิเคราะห์จากสัญญาณ initial marking ทั้งหมดในกราฟ contracted STG เพื่อนำมาเป็นโหนดเริ่มต้นและโหนดสุดท้ายในการสร้างกราฟสายงานโดยจะทำการพิจารณาเฉพาะสัญญาณ initial marking ที่มีสถานะ stable เท่านั้น

สำหรับขั้นตอนวิธีในการวิเคราะห์หากการเปลี่ยนแปลงสัญญาณเริ่มต้นจะเป็นดังนี้

นับจำนวนสัญญาณ initial marking ทั้งหมดของกราฟ contracted STG แล้วพิจารณาตามเงื่อนไขดังต่อไปนี้

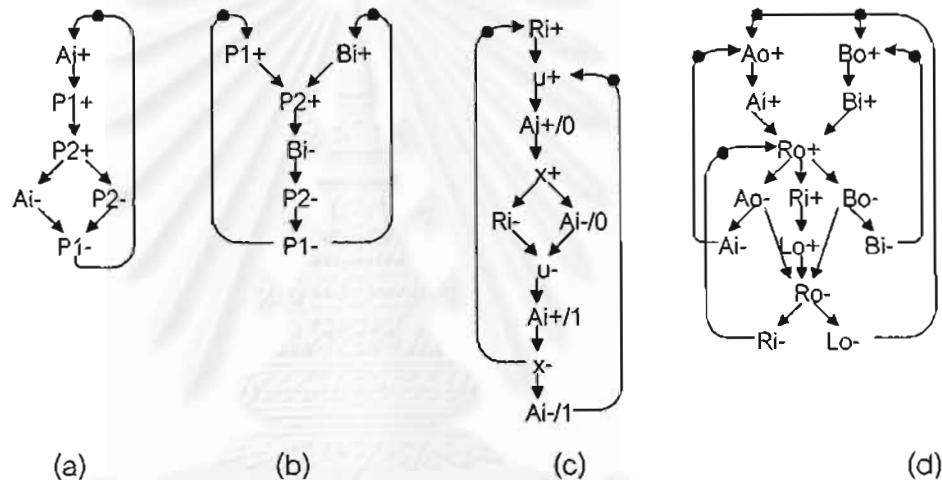
กรณีที่ 1 ถ้าจำนวนสัญญาณ initial marking ทั้งหมดของกราฟ contracted STG มีเท่ากับ 1 อันแสดงว่า การเปลี่ยนแปลงสัญญาณเริ่มต้นก็คือสัญญาณที่จะเกิดการเปลี่ยนแปลงเมื่อสัญญาณ initial marking เกิดการ firing นั่นเอง

กรณีที่ 2 ถ้าจำนวนสัญญาณ initial marking ทั้งหมดของกราฟ contracted STG มีมากกว่า 1 อันให้พิจารณาจำนวนดีกรีขาเข้าของสัญญาณทุกตัวที่จะเกิดการเปลี่ยนแปลงเมื่อสัญญาณ initial marking เกิดการ firing ตามเงื่อนไขดังต่อไปนี้

กรณี 2.1 ถ้ามีสัญญาณที่มีจำนวนดีกรีขาเข้าเท่ากับ 1 มากกว่าหนึ่งอัน และไม่มีสัญญาณที่มีจำนวนดีกรีขาเข้ามากกว่า 1 แสดงว่า การเปลี่ยนแปลงสัญญาณเริ่มต้นสามารถพิจารณาได้จากสัญญาณทุกตัว

กรณี 2.2 ถ้ามีสัญญาณที่มีจำนวนดีกรีขาเข้าเท่ากับ 1 มีหนึ่งอัน และจำนวนดีกรีขาเข้ามากกว่า 1 มีมากกว่าหรือเท่ากับหนึ่งอันแสดงว่า การเปลี่ยนแปลงสัญญาณเริ่มต้นก็คือ สัญญาณที่มีจำนวนดีกรีขาเข้าเท่ากับ 1

กรณี 2.3 ถ้ามีสัญญาณที่มีจำนวนดีกรีขาเข้ามากกว่า 1 มีมากกว่าหนึ่งอันแสดงว่าการเปลี่ยนแปลงสัญญาณเริ่มต้นให้พิจารณาจากคุณสมบัติ causal relation ของสัญญาณทุกตัว  
 รูปที่ 4.3 แสดงตัวอย่างของการวิเคราะห์หาการเปลี่ยนแปลงสัญญาณเริ่มต้นของแต่ละกรณีข้างต้น



รูปที่ 4.3 กรณีตัวอย่างการวิเคราะห์หาการเปลี่ยนแปลงสัญญาณเริ่มต้น

รูปที่ 4.3 (a) กรณีที่ 1 การเปลี่ยนแปลงสัญญาณเริ่มต้นคือ  $A_i+$

รูปที่ 4.3 (b) กรณีที่ 2.1 การเปลี่ยนแปลงสัญญาณเริ่มต้นคือ  $P1+$  และ  $Bi+$

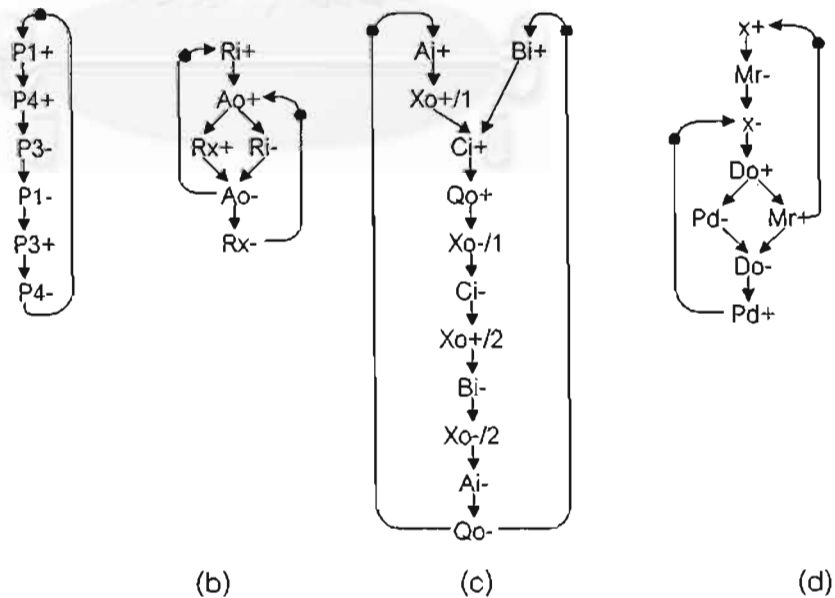
รูปที่ 4.3 (c) กรณีที่ 2.2 การเปลี่ยนแปลงสัญญาณเริ่มต้นคือ  $Ri+$

รูปที่ 4.3 (d) กรณีที่ 2.3 การเปลี่ยนแปลงสัญญาณเริ่มต้นคือ  $A0+$  และ  $B0+$

ขั้นตอนต่อไปก็คือขั้นตอนวิธีการหาการเปลี่ยนแปลงสัญญาณอันสุดท้าย ที่จะนำมาใช้เป็นโหนดสุดท้ายในการสร้างกราฟสายงาน จะเป็นดังนี้

นับจำนวนสัญลักษณ์ initial marking ทั้งหมดของกราฟ contracted STG แล้วพิจารณาตามเงื่อนไขดังต่อไปนี้

- กรณีที 1 ถ้าจำนวนสัญลักษณ์ initial marking ทั้งหมดของกราฟ contracted STG มีเท่ากับ 1 อันแสดงว่า การเปลี่ยนแปลงสัญญาณอันสุดท้ายคือสัญญาณที่จะเกิดการเปลี่ยนแปลงเมื่อสัญลักษณ์ initial marking เกิดการ firing นั้นเอง
- กรณีที 2 ถ้าจำนวนสัญลักษณ์ Initial marking ทั้งหมดของกราฟ contracted STG มีมากกว่า 1 อันให้พิจารณาจำนวนดีกรีขาเข้าของสัญญาณทุกตัวที่จะเกิดการเปลี่ยนแปลงเมื่อสัญลักษณ์ initial marking เกิดการ firing ตามเงื่อนไขดังต่อไปนี้
- กรณีที 2.1 ถ้ามีสัญญาณที่มีจำนวนดีกรีขาเข้าเท่ากับ 1 มีหนึ่งอันและจำนวนดีกรีขาเข้ามากกว่า 1 มีมากกว่าหรือเท่ากับหนึ่งอันแสดงว่าการเปลี่ยนแปลงสัญญาณอันสุดท้ายคือสัญญาณที่มีจำนวนดีกรีขาเข้าเท่ากับ 1
- กรณีที 2.2 ถ้ามีสัญญาณที่มีจำนวนดีกรีขาเข้าเท่ากับ 1 มีมากกว่าหนึ่งอันและไม่มีสัญญาณที่มีจำนวนดีกรีขาเข้ามากกว่า 1 แสดงว่าการเปลี่ยนแปลงสัญญาณอันสุดท้ายสามารถพิจารณาได้จากสัญญาณทุกตัว
- กรณีที 2.3 ถ้ามีสัญญาณที่มีจำนวนดีกรีขาเข้าเท่ากับ 1 มีหนึ่งอันและจำนวนดีกรีขาเข้ามากกว่า 1 มีมากกว่าหรือเท่ากับหนึ่งอันและสัญญาณทั้งหมดไม่มีคุณสมบัติ causal relation ต่อกัน ดังนั้นการเปลี่ยนแปลงสัญญาณอันสุดท้ายคือสัญญาณที่จะเกิดการเปลี่ยนแปลงเมื่อสัญลักษณ์ initial marking อันสุดท้ายเกิดการ firing
- ดังรูปที่ 4.4 แสดงตัวอย่างของการวิเคราะห์หาโหนดสุดท้ายในการสร้างกราฟสายงานของแต่ละกรณีข้างต้น



รูปที่ 4.4 กรณีตัวอย่างของการวิเคราะห์หาโหนดสุดท้ายในการสร้างกราฟสายงาน

รูปที่ 4.4 (a) กรณีที 1 การเปลี่ยนแปลงสัญญาณสุดท้ายในการสร้างกราฟสายงานคือ P1+



รูปที่ 4.4 (b) กรณีที่ 2.1 การเปลี่ยนแปลงสัญญาณสุดท้ายในการสร้างกราฟสายงานคือ A0+

รูปที่ 4.4 (c) กรณีที่ 2.2 การเปลี่ยนแปลงสัญญาณสุดท้ายในการสร้างกราฟสายงานคือ Ai+, Bi+

รูปที่ 4.4 (d) กรณีที่ 2.3 การเปลี่ยนแปลงสัญญาณสุดท้ายในการสร้างกราฟสายงานคือ X-

Step 2.4 เป็นขั้นตอนการวิเคราะห์หาคุณสมบัติ sharenode ของการเปลี่ยนแปลงสัญญาณใดๆ ในกราฟ contracted STG ด้วยการพิจารณาจากจำนวนดีกรีขาเข้าและจำนวนดีกรีขาออกของทุกๆ การเปลี่ยนแปลงสัญญาณ สำหรับการเปลี่ยนแปลงสัญญาณใดๆ ก็ตามที่มีคุณสมบัติ sharenode จะมีประโยชน์ในขั้นตอนการสร้างกราฟสายงานเพราะการเปลี่ยนแปลงสัญญาณนั้นๆ จะถูกสร้างในกราฟสายงานเพียงครั้งเดียวเท่านั้น โดยการเปลี่ยนแปลงสัญญาณใดๆ ก็ตามที่มีคุณสมบัติ sharenode ได้ต้องมีเงื่อนไขดังนี้

- 1) จำนวนดีกรีขาเข้าของการเปลี่ยนแปลงสัญญาณมีมากกว่า 1
- 2) พิจารณาทุกๆ การเปลี่ยนแปลงสัญญาณขาเข้า (in-signal transition) ของการเปลี่ยนแปลงสัญญาณตัวที่กำลังทำการพิจารณาหากพบว่าการเปลี่ยนแปลงสัญญาณขาเข้าตัวใดตัวหนึ่งมีการเปลี่ยนแปลงสัญญาณขาออก (out-signal transition) ที่ไม่ใช่การเปลี่ยนแปลงสัญญาณตัวที่กำลังทำการพิจารณาแสดงว่าการเปลี่ยนแปลงดังกล่าวไม่มีคุณสมบัติ sharenode
- 3) ถ้าการเปลี่ยนแปลงสัญญาณขาออกของการเปลี่ยนแปลงสัญญาณตัวที่กำลังทำการพิจารณานี้มีการเปลี่ยนแปลงสัญญาณขาเข้ามากกว่า 1 อัน แสดงว่าการเปลี่ยนแปลงสัญญาณดังกล่าวไม่มีคุณสมบัติ sharenode
- 4) กรณีที่การเปลี่ยนแปลงสัญญาณตัวที่กำลังทำการพิจารณาเป็นสัญลักษณ์ initial marking แล้วการเปลี่ยนแปลงสัญญาณขาเข้าของการเปลี่ยนแปลงสัญญาณตัวที่กำลังทำการพิจารณาไม่เป็นสัญลักษณ์ initial marking แสดงว่าการเปลี่ยนแปลงสัญญาณดังกล่าวไม่มีคุณสมบัติ sharenode
- 5) กรณีที่มีจำนวนสัญลักษณ์ initial marking มากกว่า 1 ตัวและมีบางสัญลักษณ์ initial marking ที่ไม่มีคุณสมบัติ causal relation กัน กราฟ contracted STG ดังกล่าวจะไม่มีคุณสมบัติ sharenode

Step 2.5 เป็นขั้นตอนการสร้างกราฟสายงาน เพื่อนำไปใช้ในการสร้างเวกเตอร์ทดสอบโดยจะแบ่งพิจารณาเป็น 2 แบบ คือ

- ขั้นตอนวิธีการสร้างกราฟสายงานสำหรับกราฟ contracted STG ที่ไม่มีคุณสมบัติ input choice
- ขั้นตอนวิธีการสร้างกราฟสายงานสำหรับกราฟ contracted STG ที่มีคุณสมบัติ input choice

- ขั้นตอนวิธีการสร้างกราฟสายงานสำหรับกราฟ contracted STG ที่ไม่มีคุณสมบัติ input choice จะมีขั้นตอนวิธีดังต่อไปนี้

Algorithm 3 Construct flow graph for contracted STG with non-input choice

Step 3.1 Make "start" node for the flow graph

Step 3.2 Insert start node which derived from algorithm 2 (step 2.3)

Step 3.3 For each signal transitions in the contracted STG traverse by breadth – first search (BFS) and start at reset signal transition

Begin

Find children of signal transition in the contracted STG

For each path in flow graph

Consider causal relation of children in the flow graph and insert children in flow graph using backtracking technique

End

Step 3.4 Make "stop" node for the flow graph

End

ก่อนที่จะอธิบายรายละเอียดของขั้นตอนวิธีที่ 3 (algorithm 3) จะขออธิบายโครงสร้างข้อมูลที่ใช้สำหรับกราฟสายงานก่อน โครงสร้างข้อมูลที่ใช้สำหรับกราฟสายงานจะเป็นตัวชี้ (pointer) ไปยังรายการโยงของระเบียบ ซึ่งโครงสร้างของระเบียบจะประกอบด้วยข้อมูลดังนี้

- 1) การเปลี่ยนแปลงสัญญาณ (signal transitions)
- 2) ตัวชี้ไปยังการเปลี่ยนแปลงสัญญาณขาออก (pointer of out-signal transition)
- 3) ตัวชี้ไปยังการเปลี่ยนแปลงสัญญาณที่อยู่ในระดับเดียวกัน (pointer of sibling signal transition)

ดังนั้นเราจึงนำโครงสร้างข้อมูลนี้ประยุกต์ใช้กับขั้นตอนวิธีที่ 3 ซึ่งจะอธิบายรายละเอียดดังนี้

Step 3.1 เป็นขั้นตอนเริ่มแรกของการสร้างกราฟสายงาน โดยเราจะสร้างโหนด "start" และมีตัวชี้มายังโหนดนี้ ตัวอย่างเช่นการสร้างโหนด "start" ของกราฟ contracted STG ของวงจร fifo สำหรับสัญญาณ L แสดงดังรูปที่ 4.5 (a)

Step 3.2 เป็นขั้นตอนการแทรก (insert) โหนดการเปลี่ยนแปลงสัญญาณเริ่มต้นที่ได้จากการวิเคราะห์ในขั้นตอนวิธีที่ 2 (step 2.3) เข้าสู่กราฟสายงาน ตัวอย่างเช่นโหนดการเปลี่ยนแปลงสัญญาณเริ่มต้นของกราฟ contracted STG ของวงจร fifo สำหรับสัญญาณ L คือ การเปลี่ยนแปลงสัญญาณ  $R_i+$  ดังนั้นเมื่อแทรกโหนดดังกล่าวจะได้กราฟสายงานดังรูปที่ 4.5 (b)

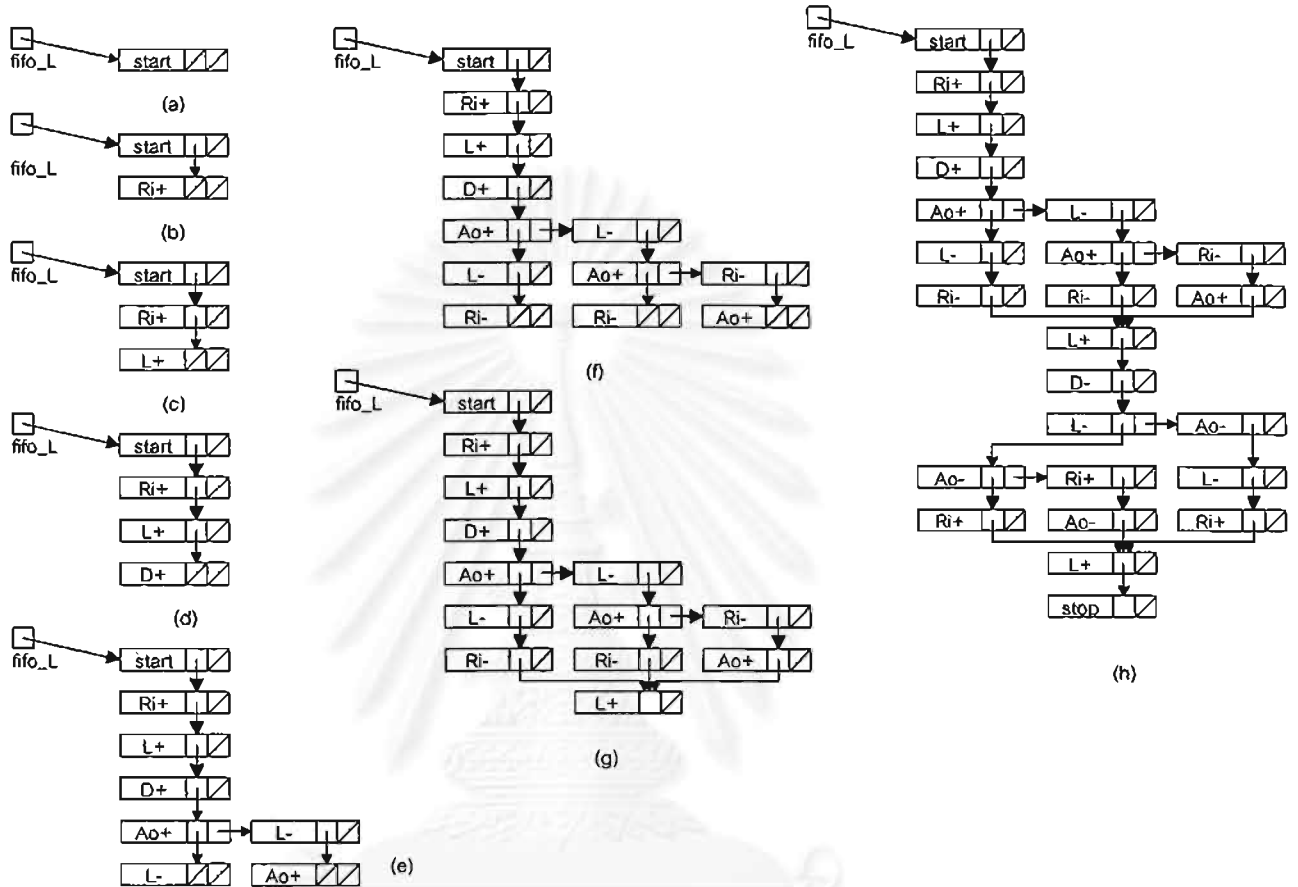
Step 3.3 เป็นขั้นตอนการวิเคราะห์การเปลี่ยนแปลงสัญญาณในกราฟ contracted STG โดยจะทำการแหว่ผ่าน (traverse) กราฟ contracted STG แบบ breadth-first search (BFS) [14] ซึ่งจะเริ่มต้นที่โหนดการเปลี่ยนแปลงสัญญาณเริ่มต้นที่ได้จากขั้นตอนวิธีที่ 2 (step 2.3)

เริ่มแรกเราจะหาการเปลี่ยนแปลงสัญญาณขาออกของโหนดที่กำลังทำการพิจารณา หลังจากนั้นจะทำการตรวจสอบคุณสมบัติ causal relation กับโหนดที่สร้างไว้แล้วในกราฟสายงาน แล้วจึงจะทำการแหว่ผ่านกราฟสายงานที่ละเส้นทางด้วยเทคนิค backtracking [14] เพื่อแทรกโหนดการเปลี่ยนแปลงสัญญาณขาออกนั้นๆ ในกราฟสายงานหากจำนวนดีกรีขาออกของโหนดที่กำลังทำการพิจารณามีมากกว่าหนึ่ง แสดงว่ามีคุณสมบัติ concurrent temporal relation เราจะต้องสร้างโหนดที่จะทำการแทรก โดยคำนึงถึงลำดับของการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ทั้งหมด

ต่อจากนี้ไปจะเป็นตัวอย่างขั้นตอนวิธีในการสร้างกราฟสายงานของกราฟ contracted STG ของวงจร fifo สำหรับสัญญาณ L ซึ่งเมื่อทำการแหว่ผ่านกราฟ contracted STG แบบ BFS แล้วจะได้ลำดับของการเปลี่ยนแปลงสัญญาณที่จะทำการพิจารณาดังนี้  $R_i+ L+ A_0+ L- R_i- L+ D- L- A_0-$  ดังนั้นเราจึงเริ่มทำการพิจารณาดังนี้

- (1) วิเคราะห์การเปลี่ยนแปลงสัญญาณ  $R_i+$  เมื่อพิจารณาในกราฟ contracted STG จะพบว่าการเปลี่ยนแปลงสัญญาณขาออกคือ  $L+$  และมีคุณสมบัติ causal relation ถูกต้องตรงตามกราฟ contracted STG ดังนั้นจึงทำการแทรกโหนดได้ดังแสดงในรูปที่ 4.5 (c)
- (2) วิเคราะห์การเปลี่ยนแปลงสัญญาณ  $L+$  เมื่อพิจารณาในกราฟ contracted STG จะพบว่าการเปลี่ยนแปลงสัญญาณขาออกคือ  $D+$  และมีคุณสมบัติ causal relation ถูกต้องตรงตามกราฟ contracted STG ดังนั้นจึงทำการแทรกโหนดได้ดังแสดงในรูปที่ 4.5 (d)
- (3) วิเคราะห์การเปลี่ยนแปลงสัญญาณ  $D+$  เมื่อพิจารณาในกราฟ contracted STG จะพบว่าการเปลี่ยนแปลงสัญญาณขาออกคือ  $A_0+$  กับ  $L-$  และมีคุณสมบัติ causal relation ถูกต้องตรงตามกราฟ contracted STG ดังนั้นจึงทำการแทรกโหนดได้ดังแสดงในรูปที่ 4.5 (e)

- (4) วิเคราะห์การเปลี่ยนแปลงสัญญาณ  $A0+$  เมื่อพิจารณาในกราฟ contracted STG จะพบว่าการเปลี่ยนแปลงสัญญาณขาออกคือ  $L+$  แต่การเปลี่ยนแปลงสัญญาณ  $L+$  จะเกิดขึ้นก็ต่อเมื่อการเปลี่ยนแปลงสัญญาณ  $Ri-$  เกิดขึ้นเรียบร้อยแล้ว แต่จากกราฟสายงานจะเห็นว่า การเปลี่ยนแปลงสัญญาณ  $Ri-$  ยังไม่เกิดขึ้น ดังนั้นเราจะไม่แทรกโหนดนี้เข้าไปยังกราฟสายงาน



รูปที่ 4.5 ขั้นตอนการสร้างกราฟสายงานของกราฟ contracted STG ของวงจร fifo สำหรับสัญญาณ  $L$

- (5) วิเคราะห์การเปลี่ยนแปลงสัญญาณ  $L-$  เมื่อพิจารณาในกราฟ contracted STG จะพบว่าการเปลี่ยนแปลงสัญญาณขาออกคือ  $Ri-$  และมีคุณสมบัติ causal relation ถูกต้องตรงตามกราฟ contracted STG ดังนั้นจึงทำการแทรกโหนดได้ดังแสดงในรูปที่ 4.5 (f)
- (6) วิเคราะห์การเปลี่ยนแปลงสัญญาณ  $Ri-$  เมื่อพิจารณากราฟ contracted STG จะพบว่าการเปลี่ยนแปลงสัญญาณขาออกคือ  $L+$  และมีคุณสมบัติ causal relation ถูกต้องตรงตามกราฟ contracted STG นอกจากนี้  $L+$  ยังถูกวิเคราะห์ว่ามีคุณสมบัติ sharenode ด้วยขั้นตอนวิธีที่ 2 (step 2.4) ดังนั้นจึงทำการแทรกโหนดได้ดังแสดงในรูปที่ 4.5 (g)

สำหรับการวิเคราะห์การเปลี่ยนแปลงสัญญาณอื่นๆ ก็จะทำเช่นเดียวกัน และเมื่อทำการวิเคราะห์ครบทุกการเปลี่ยนแปลงสัญญาณในกราฟ contracted STG แล้วจะได้กราฟสายงานของกราฟ contracted STG บนวงจร fifo สำหรับสัญญาณ L ดังแสดงในรูปที่ 4.5 (h)

Step 3.4 เป็นขั้นตอนการสร้างโหนด "stop" เพื่อบอกให้รู้ว่าเป็นจุดสุดท้ายของกราฟสายงาน

- ขั้นตอนวิธีการสร้างกราฟสายงานสำหรับกราฟ contracted STG ที่มีคุณสมบัติ input choice จะมีขั้นตอนวิธีดังต่อไปนี้

Algorithm 4 Construct flow graph for contracted STG with input choice

Step 4.1 Consider start node which derived from algorithm 2.1 (step 2.3) and place to analyze all path in the contracted STG

Step 4.2 Construct flow graph from all path which derived from

End

จากขั้นตอนวิธีที่ 4 (algorithm 4) เราสามารถอธิบายรายละเอียดได้ดังนี้

Step 4.1 เป็นขั้นตอนการวิเคราะห์ทุกๆ การเปลี่ยนแปลงสัญญาณเพื่อแยกออกมาเป็นเส้นทางเพื่อใช้เป็นข้อมูลในการสร้างกราฟสายงานโดยคำนึงถึงการเปลี่ยนแปลงสัญญาณเริ่มต้นที่ได้จากการวิเคราะห์ในขั้นตอนวิธีที่ 2 (step 2.3) และสัญลักษณ์ place ในกราฟ contracted STG ในแต่ละเส้นทางเราจะพิจารณาโดยคำนึงถึงจุดเริ่มต้นและจุดสุดท้ายดังนี้

1)จากการเปลี่ยนแปลงสัญญาณเริ่มต้นจนถึงสัญลักษณ์ place

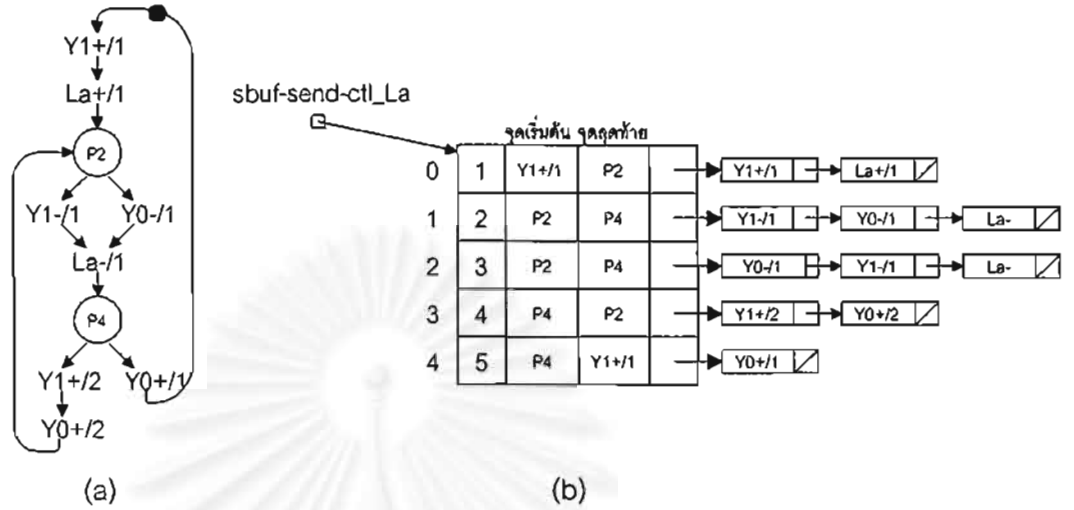
2)จากสัญลักษณ์ place ถึงสัญลักษณ์ place

3)จากสัญลักษณ์ place ถึง การเปลี่ยนแปลงสัญญาณเริ่มต้น

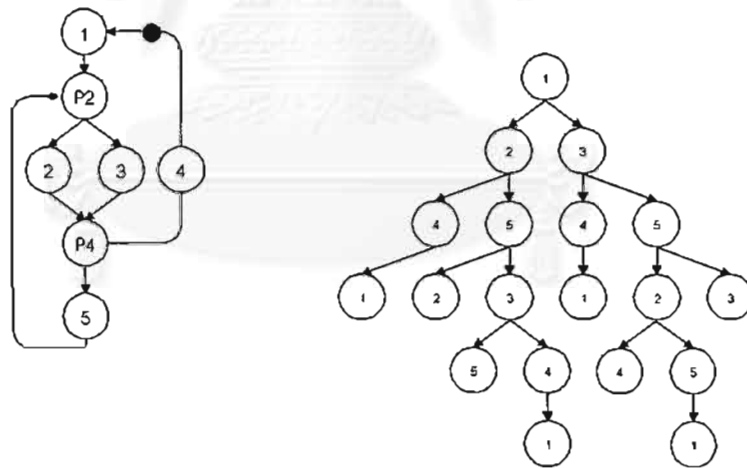
ดังรูปที่ 4.6(b) จะแสดงตัวอย่างของการวิเคราะห์เส้นทางทั้งหมดของกราฟ contracted STG ของวงจร sbuf-send-ctl สำหรับสัญญาณ La ซึ่งแสดงดังรูปที่ 4.6(a)

Step 4.2 เป็นขั้นตอนการสร้างกราฟสายงานสำหรับกราฟ contracted STG ที่มีคุณสมบัติ input choice โดยให้เส้นทางทั้งหมดที่ได้จาก step 4.1 สำหรับขั้นตอนการสร้างกราฟสายงานสำหรับกราฟ contracted STG ที่มีคุณสมบัติ input choice จะพิจารณาแต่ละเส้นทางที่ได้จากการวิเคราะห์เปรียบเสมือนโหนด แล้วจะนำโหนดมาต่อกันโดยเริ่มจากเส้นทางเริ่มต้นและจะสิ้นสุดก็ต่อเมื่อในแต่ละเส้นทางของกราฟสายงานเกิดโหนดซ้ำกัน ดังรูปที่ 4.7(a) เป็นตัวอย่างของการ

เปรียบเทียบเส้นทางเสมือนโหนดระหว่างรูปที่ 4.6(a) และรูปที่ 4.6(b) และรูปที่ 4.7(b) จะแสดงตัวอย่างของการสร้างกราฟสายงานของกราฟ contracted STG ของวงจร sbuf-send-ctl สำหรับสัญญาณ La เมื่อนำโหนดในรูปที่ 4.7 (a) มาต่อกัน



รูปที่ 4.6 (a) กราฟ contracted STG ของวงจร sbuf-send-ctl สำหรับสัญญาณ La  
 (b) ตัวอย่างของการวิเคราะห์เส้นทางทั้งหมดของกราฟ contracted STG ของวงจร sbuf-send-ctl สำหรับสัญญาณ La

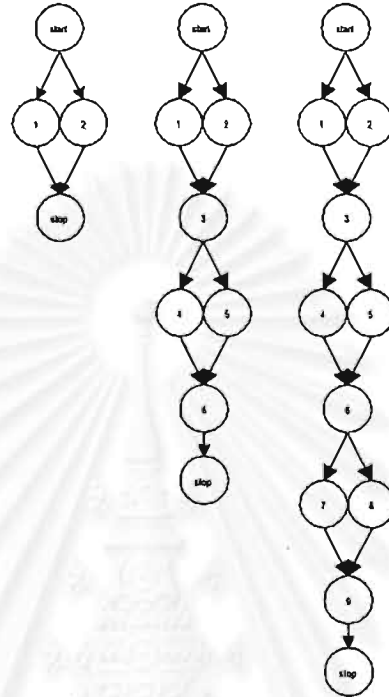


รูปที่ 4.7 (a) ตัวอย่างการเปรียบเทียบเส้นทางเสมือนโหนดระหว่างรูปที่ 4.6(a) และรูปที่ 4.6(b)  
 (b) ตัวอย่างของการสร้างกราฟสายงานของกราฟ contracted STG ของวงจร sbuf-send-ctl สำหรับสัญญาณ La

Step 1.4 เป็นขั้นตอนการสร้างเวกเตอร์ทดสอบจากกราฟสายงานที่ได้สร้างไว้แล้วใน step 1.3 ในหน้า 32 ซึ่งจากขั้นตอนดังกล่าวจะพบว่าโครงสร้างข้อมูลของกราฟสายงานจะไม่มีเส้นเชื่อมที่ทำ

ให้เกิดลูป (loop) ทำให้สามารถประยุกต์ใช้เทคนิคการทดสอบเส้นทางพื้นฐานเพื่อนำมาใช้ในการหาเวกเตอร์ทดสอบที่มีค่าเท่ากับความซับซ้อนไซโคลเมตริกได้ง่าย

ดังนั้นเราจะแสดงตัวอย่างการหาเวกเตอร์ทดสอบจากกราฟสายงานในรูปแบบต่างๆ ดังรูปที่ 4.8



รูปที่ 4.8 ตัวอย่างกราฟสายงาน

- รูปที่ 4.8(a)  $v(G) = 2$  ดังนั้นเวกเตอร์ทดสอบคือ 1 และ 2
- รูปที่ 4.8(b)  $v(G) = 3$  ดังนั้นเวกเตอร์ทดสอบคือ 1-3-4-6  
1-3-5-6  
2-3-4-6
- รูปที่ 4.8(c)  $v(G) = 4$  ดังนั้นเวกเตอร์ทดสอบคือ 1-3-4-6-7-9  
1-3-4-6-8-9  
1-3-5-6-7-9  
2-3-4-6-7-9

#### 4.2 การจำลองเวกเตอร์ทดสอบเชิงเหตุการณ์

ในขั้นตอนนี้จะเป็นการนำเอกเวกเตอร์ทดสอบที่สร้างได้จากขั้นตอนวิธีที่ 1 มาทำการทวนสอบโดยใช้วิธีการจำลองเชิงเหตุการณ์ วงจรที่จะผ่านการทวนสอบในขั้นตอนนี้จะต้องเป็นไปตามเงื่อนไขดังนี้

- 1) ลำดับการเปลี่ยนแปลงสัญญาณเอาต์พุตถูกต้องตรงตามเวกเตอร์ทดสอบที่กำลังทำการทวนสอบ
- 2) จำนวนครั้งของการเปลี่ยนแปลงสัญญาณภายในวงจรของเวกเตอร์ทดสอบทั้งหมดในแต่ละวงจรจะต้องมีค่าเท่ากัน

เพื่อที่จะพิจารณาว่าวงจรทำงานได้ถูกต้องตามเงื่อนไขข้างต้นหรือไม่ เราจึงต้องเขียนโปรแกรม test bench เพื่อทำการจำลองการทำงานของวงจรด้วยการป้อนสัญญาณอินพุตที่มีลำดับการเปลี่ยนแปลงสัญญาณอินพุตตามเวกเตอร์ทดสอบ โดยโปรแกรม test bench นี้จะเขียนด้วยภาษาVerilog [5]

ดังรูปที่ 4.9 เป็นตัวอย่างของโปรแกรม test bench ที่เขียนขึ้นเพื่อใช้จำลองการทำงานของเหตุการณ์ของเวกเตอร์ทดสอบของวงจร converta สำหรับสัญญาณ  $x$  ได้แก่ Start R0+/0 Ai+/0 x+ R0-/0 A0+ Ai-/0 R0+/1 Ai+/1 x- R0-/1 A0- Ai-/1 R0+/0 stop หลังจากนั้นเราสามารถพิจารณาลำดับของการเปลี่ยนแปลงสัญญาณเอาต์พุตได้จากผลลัพธ์การจำลองเวกเตอร์ทดสอบเชิงเหตุการณ์ ดังรูปที่ 4.10 แสดงตัวอย่างผลลัพธ์ที่ได้จากการจำลองเวกเตอร์ทดสอบเชิงเหตุการณ์ของเวกเตอร์ทดสอบในรูปที่ 4.9 จากรูปที่ 4.9 จะพบว่าลำดับของการเปลี่ยนแปลงสัญญาณคือ R0+/0 Ai+/0 x+ R0-/0 A0+ Ai-/0 R0+/1 Ai+/1 R0-/1 A0- Ai-/1 R0+/0 ซึ่งถูกต้องตรงตามเวกเตอร์ทดสอบนอกจากนี้เรายังทราบจำนวนครั้งของการเปลี่ยนแปลงสัญญาณภายในได้จากไฟล์ verilog.log ด้วยเพื่อเก็บไว้ใช้ตรวจสอบกับเวกเตอร์ทดสอบอื่นๆในวงจร

จากรูปที่ 4.9 จะเห็นว่าโปรแกรม test bench สามารถพิจารณาได้เป็น 2 ส่วนคือ

- 1) ส่วนที่เป็นตัวแบบจำลองของวงจร
- 2) ส่วนที่ใช้สำหรับป้อนสัญญาณอินพุตเพื่อให้วงจรเกิดการ工作在ลักษณะเชิงเหตุการณ์

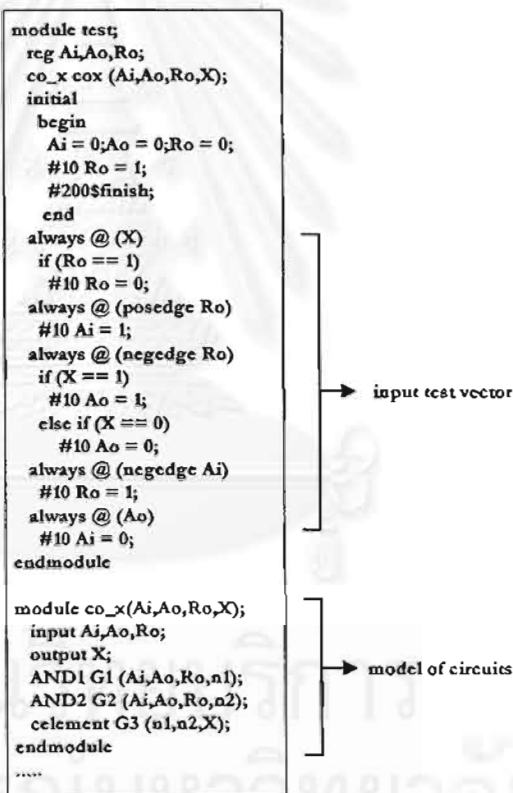
ในการป้อนสัญญาณอินพุต เราจะทำในลักษณะของการจำลองเชิงเหตุการณ์ ดังนั้นเวกเตอร์ทดสอบที่ได้จากขั้นตอนวิธีที่ 1 เราสามารถแบ่งได้เป็น 2 ประเภท ขึ้นอยู่กับจำนวนครั้งของการเปลี่ยนแปลงสัญญาณที่เกิดขึ้นแบบ rising หรือ falling ในกราฟ contracted STG ดังนี้

- 1) จำนวนครั้งของการเปลี่ยนแปลงสัญญาณเอาต์พุตในเวกเตอร์ทดสอบเกิดแบบ rising หรือ falling เพียงครั้งเดียว สำหรับในกรณีเช่นนี้โปรแกรม test bench จะเขียนการจำลองเชิงเหตุการณ์แบบปกติ นั่นคือ การเปลี่ยนแปลงสัญญาณอินพุตและการเปลี่ยนแปลงสัญญาณเอาต์พุตจะเป็นตัวขับ (driven) ซึ่งกันและกันแบบ 1:1 ดังแสดงตัวอย่างการเขียนโปรแกรม test



bench เพื่อทวนสอบเวกเตอร์ทดสอบได้แก่ start  $A_i + P_0 + P_2 + P_2 - A_i - P_1 - A_i + stop$  ของวงจรรย่อยของวงจร C-element ที่มีสัญญาณ P1 เป็นสัญญาณเอาต์พุต ในรูปที่ 4.11

- 2) จำนวนครั้งของการเปลี่ยนแปลงสัญญาณเอาต์พุตในเวกเตอร์ทดสอบเกิดแบบ rising หรือ falling มากกว่า 1 ครั้ง สำหรับในกรณีเช่นนี้จะเกิดปัญหาตรงที่ แต่ละครั้งของการเปลี่ยนแปลงสัญญาณเอาต์พุตที่เกิดแบบ rising หรือ falling มีผลทำให้เกิดการเปลี่ยนแปลงสัญญาณอินพุตที่ต่างกัน ทำให้ไม่สามารถเขียนโปรแกรม test bench ในลักษณะของการจำลองเชิงเหตุการณ์เช่นแบบที่ 1 ได้ ดังนั้นจึงต้องใช้คุณสมบัติ causal relation ของเวกเตอร์ทดสอบมาช่วย ดังแสดงตัวอย่างการเขียนโปรแกรม test bench เพื่อทวนสอบเวกเตอร์ทดสอบได้แก่ start  $B_i + Y_0 + /1 C_i + Q_0 + C_i - Y_0 - /1 B_i - Y_0 + /2 Q_0 - Y_0 - /2 stop$  ของวงจรรย่อยของวงจร nowick ที่มีสัญญาณ Y0 เป็นสัญญาณเอาต์พุตในรูปที่ 4.12



รูปที่ 4.9 ตัวอย่างโปรแกรม test bench ของเวกเตอร์ทดสอบของวงจรร converta สำหรับสัญญาณ x

จากเวกเตอร์ทดสอบข้างต้นจะพบว่ามี การเปลี่ยนแปลงของสัญญาณ Y0 แบบ rising และ falling เกิดขึ้นอย่างละ 2 ครั้ง นั่นคือในการเกิดการเปลี่ยนแปลงสัญญาณ Y0+ ครั้งที่ 1 จะเป็นตัวขับให้เกิดการเปลี่ยนแปลงของสัญญาณอินพุตเป็น Ci+ แต่ในครั้งที่ 2 จะเป็นตัวขับให้เกิด

การเปลี่ยนแปลงสัญญาณเป็น Q0- ดังนั้นเราสามารถเขียนโปรแกรม test bench ในลักษณะเชิงเหตุการณ์โดยอาศัยคุณสมบัติ causal relation มาช่วยได้ดังนี้

การเปลี่ยนแปลงสัญญาณ Y0+ จะเป็นตัวขับให้เกิดการเปลี่ยนแปลงสัญญาณต่อไปเป็น Ci+ หรือ Q0- ขึ้นอยู่กับการเปลี่ยนแปลงสัญญาณ Bi มีการเปลี่ยนแปลงของสัญญาณของเป็น Y0+ ถ้าสัญญาณ Bi นั่นคือ ขณะที่มีการเปลี่ยนแปลงของสัญญาณเป็น Bi+ แสดงว่าการเปลี่ยนแปลงสัญญาณ Y0+ จะเป็นตัวขับให้เกิดการเปลี่ยนแปลงสัญญาณต่อไปเป็น Ci+ แต่ถ้าหากสัญญาณ Bi มีการเปลี่ยนแปลงสัญญาณเป็น Bi- แสดงว่าการเปลี่ยนแปลงสัญญาณ Y0+ จะเป็นตัวขับให้เกิดการเปลี่ยนแปลงสัญญาณต่อไปเป็น Q0-

สำหรับการเปลี่ยนแปลงสัญญาณ Y0- ก็จะพิจารณาเช่นเดียวกับการเปลี่ยนแปลงสัญญาณ Y0+

อย่างไรก็ตามแม้ว่าวงจรสามารถจำลองการทำงานได้ถูกต้องตามเงื่อนไขข้างต้น แต่ก็ยังไม่สามารถรับประกันความถูกต้องในการทำงานของวงจรที่มีโมเดลหน่วยแบบควอไซดีเลย์อินเซนซิทีฟได้ เพราะจากโปรแกรม test bench ที่เราเขียนขึ้นมาเพื่อใช้จำลองการทำงานของเวกเตอร์ทดสอบเชิงเหตุการณ์ เพื่อที่จะให้ตัวจำลองที่ใช้สามารถแสดงผลลัพธ์ของการจำลองได้เราจำเป็นต้องใส่ค่าความหน่วงของเกตและค่าความหน่วงในสายสัญญาณ ซึ่งค่าความหน่วงดังกล่าวเป็นค่าที่กำหนดขึ้นมาเองโดยผู้ทดสอบ ดังนั้นเพื่อให้สามารถทดสอบได้ว่าวงจรมีการทำงานได้ถูกต้องตามโมเดลความหน่วงแบบควอไซดีเลย์อินเซนซิทีฟ นั่นคือ การทำงานของวงจรจะไม่ขึ้นอยู่ค่าความหน่วงของเกตและค่าความหน่วงในสายสัญญาณ เราจึงต้องประยุกต์ใช้วิธีการประเมินความเชื่อถือได้ด้านเวลาดังได้กล่าวไว้อย่างละเอียดแล้วในบทที่ 3 หัวข้อ 3.1



รูปที่ 4.10 ตัวอย่างผลลัพธ์ที่ได้จากการจำลองเวกเตอร์ทดสอบเชิงเหตุการณ์ของเวกเตอร์ทดสอบในรูปที่ 4.9

### 4.3 สรุป

ในบทนี้ ได้กล่าวถึงขั้นตอนวิธีการทวนสอบวงจรมุมควอไซดีเลย์อินเซนซิทีฟเชิงลำดับชั้นในขั้นที่ 1 อย่างละเอียดโดยเริ่มจากการอธิบายขั้นตอนวิธีการสร้างเวกเตอร์ทดสอบ หลังจากนั้นจึงอธิบายการเขียนโปรแกรม test bench โดยใช้ ภาษา Verilog จำลองการทำงานของเวกเตอร์ทดสอบที่ได้เชิงเหตุการณ์เพื่อทำการทวนสอบวงจร นอกจากนี้ยังอธิบายถึงการประยุกต์ใช้วิธีการประเมินความเชื่อถือได้ด้านเวลา เพื่อตรวจสอบว่าวงจรสามารถทำงานได้ถูกต้องตาม

โมเดลความหน่วงแบบควอไซต์เลย์อินเทนซิฟ ซึ่งวงจรได้ก็ตามที่ผ่านมาขั้นตอนต่างๆ เหล่านี้จะถือว่าผ่านการทดสอบในขั้นที่ 1 และเมื่อวงจรย่อยทั้งหมดของทั้งวงจรผ่านการทดสอบในขั้นที่ 1 แล้ว เราก็จะทำการทดสอบวงจรในขั้นที่ 2 ต่อซึ่ง รายละเอียดของขั้นตอนวิธีการทดสอบวงจรอสมวารเชิงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์ขั้นที่ 2 จะอธิบายในบทที่ 5

```

module test;
  reg Ai,P2;
  ce_p1 cep1 (Ai,P2,P1);
  initial
  begin
    Ai = 0;P2 = 0;
    #200 $finish;
  end
  always @(posedge P1)
    #10 P2 = 1;
  always @(negedge P1)
    #10 Ai = 1;
  always @(posedge P2)
    #10 Ai = 0;
  always @(negedge Ai)
    #10 P2 = 0;
endmodule

module ce_p1(Ai,P2,P1);
  input Ai,P2;
  output P1;
  reg P1;
  initial
    P1 = 0;
  always @ (Ai or P2)
    #10 P1 = Ai | P2;
endmodule

```

รูปที่ 4.11

```

module test;
  reg Bi,Ci,Qo;
  no_yo noyo (Bi,Ci,Qo,Yo);
  initial
  begin
    Bi = 0;Ci = 0;Qo = 0;
    #200 $finish;
  end
  always @ (posedge Yo)
  if (Bi==1)
    #10 Ci = 1;
  else if (Bi==0)
    #10 Qo = 0;
  always @ (negedge Yo)
  if ((Bi==0)&&(Qo==0))
    #10 Bi = 1;
  else if ((Bi==1)&&(Ci==0))
    #10 Bi = 0;
  always @ (posedge Ci)
    #10 Qo = 1;
  always @ (posedge Qo)
    #10 Ci = 0;
endmodule

module no_yo(Bi,Ci,Qo,Yo);
  input Bi,Ci,Qo;
  output Yo;
  AND1 G1 (Ci,Qo,n1);
  XOR1 G2 (Bi,n1,Yo);
endmodule
.....

```

รูปที่ 4.12

รูปที่ 4.11 ตัวอย่างโปรแกรม test bench ของเวกเตอร์ทดสอบของวงจร C-element สำหรับสัญญาณ P1

รูปที่ 4.12 ตัวอย่างโปรแกรม test bench ของเวกเตอร์ทดสอบของวงจร nowick สำหรับสัญญาณ Yo

## บทที่ 5

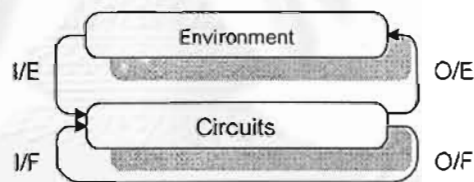
### การทวนสอบวงจรผสมวาระเชิงลำดับชั้นขั้นที่ 2

ในบทนี้เราจะกล่าวถึงรายละเอียดขั้นตอนวิธีการทวนสอบวงจรผสมวาระแบบควอไซต์เลย์อินเซนซีทีฟเชิงลำดับชั้นโดยใช้วิธีการจำลองเชิงเหตุการณ์ขั้นที่ 2 โดยจะอธิบายเกี่ยวกับแนวความคิดที่ใช้ในการพิจารณาหาเวกเตอร์ทดสอบ และวิธีการจำลองเชิงเหตุการณ์กับเวกเตอร์ทดสอบเพื่อทำการทวนสอบวงจรผสมวาระแบบควอไซต์เลย์อินเซนซีทีฟในขั้นที่ 2 วงจรใดๆก็ตามที่จะทำการทวนสอบในขั้นที่ 2 ได้ก็ต่อเมื่อวงจรดังกล่าวผ่านการทวนสอบในขั้นที่ 1 เรียบร้อยแล้ว

#### 5.1 การสร้างเวกเตอร์ทดสอบ

ดังที่ได้กล่าวไว้แล้วในบทที่ 3 หัวข้อ 3.2 การสร้างเวกเตอร์ทดสอบเพื่อทำการทวนสอบวงจรในขั้นที่ 2 นั้นจะใช้แนวความคิดที่ได้จากการวิเคราะห์คุณสมบัติ concurrent temporal relation ของการเปลี่ยนแปลงสัญญาณใดๆ ในซิกแนลทรานสชันกราฟ โดยคำนึงถึงโมเดลสิ่งแวดล้อมที่ใช้

แนวความคิดดังกล่าวจะจำแนกประเภทของสัญญาณที่ได้จากการทำงานระหว่างสิ่งแวดล้อมล้อมกับวงจรดังแสดงในรูปที่ 5.1



I/E denotes input signal from the environment  
I/F denotes feedback input signal  
O/E denotes output signal to environment  
O/F = I/F

#### รูปที่ 5.1 การจำแนกประเภทของสัญญาณที่ได้จากการทำงานระหว่างสิ่งแวดล้อมล้อมกับวงจร

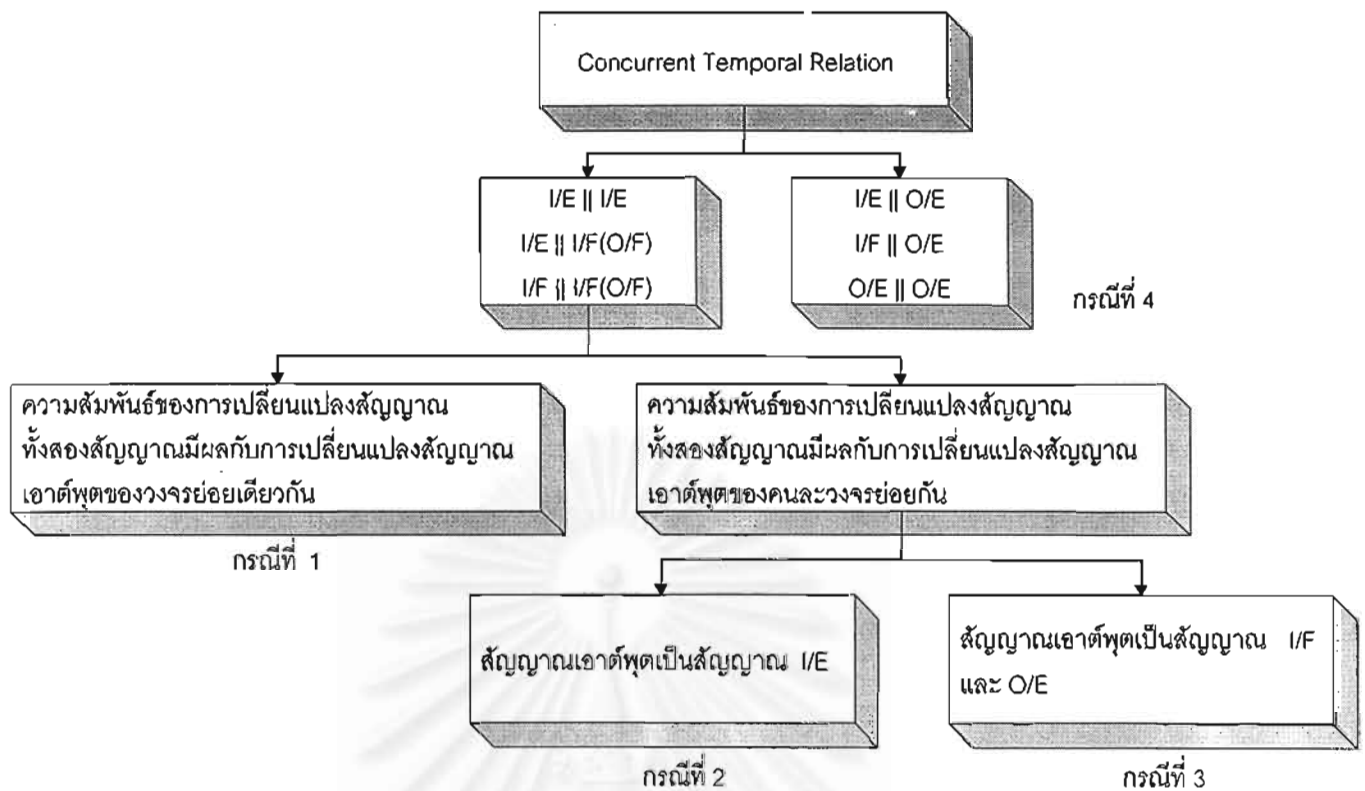
จากรูปที่ 5.1 เราสามารถจำแนกประเภทของสัญญาณที่ได้จากการทำงานระหว่างสิ่งแวดล้อมล้อมกับวงจรได้ดังนี้

- 1) I/E คือ สัญญาณอินพุตซึ่งได้จากสิ่งแวดล้อม
- 2) O/E คือ สัญญาณเอาต์พุตไปยังสิ่งแวดล้อม
- 3) I/F คือ สัญญาณอินพุตซึ่งได้จากการทำงานของวงจร
- 4) O/F คือ สัญญาณเอาต์พุตที่เป็นสัญญาณอินพุตของวงจรในลำดับต่อไป

สำหรับแนวความคิดในการพิจารณาหาเวกเตอร์ทดสอบเพื่อการทวนสอบวงจรจะพิจารณาจากซิกแนลทรานสิชันกราฟตามเงื่อนไขดังนี้

- 1) จะพิจารณาเฉพาะการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation เท่านั้นโดยการพิจารณาว่าการเปลี่ยนแปลงสัญญาณใดๆ ที่มีคุณสมบัติ concurrent temporal relation นั้นสามารถพิจารณาได้จากโครงสร้างของซิกแนลทรานสิชันกราฟ ซึ่งโครงสร้างของซิกแนลทรานสิชันกราฟจะแสดงความสัมพันธ์ดังกล่าวได้ชัดเจนอยู่แล้ว
- 2) การเปลี่ยนแปลงสัญญาณใดๆ ที่มีคุณสมบัติ concurrent temporal relation กับสัญญาณ O/E เราจะไม่พิจารณานำมาทวนสอบทั้งนี้เพราะการเปลี่ยนแปลงของสัญญาณ O/E จะไม่มีผลกับการทำงานของวงจรเทียบได้กับกรณีที่ 4 ในรูปที่ 5.2
- 3) การเปลี่ยนแปลงสัญญาณใดๆ ที่มีคุณสมบัติ concurrent temporal relation กับสัญญาณที่ไม่ใช่สัญญาณ O/E เราจะต้องนำวงจรมาพิจารณาร่วมกับแนวความคิดที่จะนำเสนอข้างล่างนี้ โดยจะพิจารณาการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation ว่ามีผลกระทบกับการเปลี่ยนแปลงสัญญาณใดบ้างในซิกแนลทรานสิชันกราฟ และสัญญาณนี้ทำหน้าที่อะไรในวงจรที่กำลังทำการทวนสอบ แนวความคิดที่ใช้ในการพิจารณามีดังนี้
  - 3.1) ถ้าความสัมพันธ์ของการเปลี่ยนแปลงสัญญาณทั้งสองมีผลกับสัญญาณซึ่งเป็นสัญญาณเอาต์พุตของวงจรย่อยเดียวกัน นั่นคือสัญญาณเอาต์พุตดังกล่าวมีสัญญาณทั้งสองเป็นสัญญาณอินพุต เราจะไม่พิจารณาเพื่อนำมาทวนสอบ ทั้งนี้เพราะได้ถูกทำการทวนสอบในขั้นที่ 1 แล้ว เทียบได้กับกรณีที่ 1 ในรูปที่ 5.2
  - 3.2) ถ้าความสัมพันธ์ของการเปลี่ยนแปลงสัญญาณทั้งสองมีผลกับสัญญาณซึ่งเป็นสัญญาณเอาต์พุตของวงจรย่อยอื่น นั่นคือสัญญาณทั้งสองไม่ได้ร่วมกันเป็นสัญญาณอินพุตให้กับสัญญาณเอาต์พุตดังกล่าว เราจะพิจารณาเพื่อทำการทวนสอบ แต่ทั้งนี้ต้องขึ้นอยู่กับประเภทของสัญญาณนั้นคือ
    - กรณีที่เป็นสัญญาณ I/E เราจะไม่ทำการทวนสอบ ทั้งนี้เพราะการเปลี่ยนแปลงของสัญญาณ I/E ขึ้นอยู่กับสิ่งแวดล้อม ไม่ขึ้นอยู่ด้วยความสัมพันธ์ของการเปลี่ยนแปลงสัญญาณทั้งสอง เทียบได้กับกรณีที่ 2 ในรูปที่ 5.2
    - กรณีที่เป็นสัญญาณอื่นๆ ที่ไม่ใช่สัญญาณ I/E เราจะทำการทวนสอบ เทียบได้กับกรณีที่ 3 ในรูปที่ 5.2

เราสามารถเขียนแผนภาพแสดงแนวความคิดข้างต้นได้ดังรูปที่ 5.2



รูปที่ 5.2 แนวความคิดการวิเคราะห์คุณสมบัติ concurrent temporal relation จากซิกแนลทรานส์ชันกราฟ

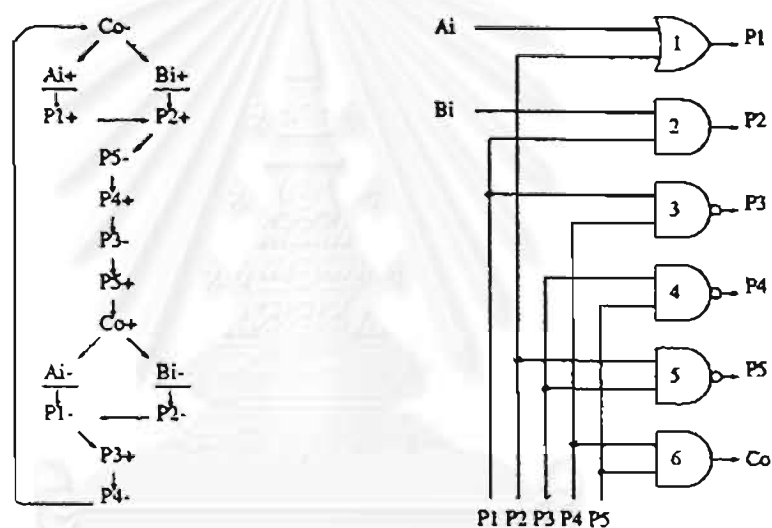
นอกจากนี้ในการนำแนวความคิดดังกล่าวมาใช้เพื่อสร้างเวกเตอร์ทดสอบในการทวนสอบ ขั้นที่ 2 นี้ อาจจะมีบางการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation ซึ่งมีผลกระทบต่อการเปลี่ยนแปลงสัญญาณในซิกแนลทรานส์ชันกราฟมากกว่าหนึ่งสัญญาณ จึงเกิดกรณีที่ได้จากการพิจารณาด้วยแนวความคิดดังกล่าวมากกว่าหนึ่งกรณี ดังนั้นจึงต้องพิจารณาเพื่อทำการทวนสอบจากกรณีที่เป็นไปได้ทั้งหมด

ดังตารางที่ 5.1 แสดงตัวอย่างของการใช้แนวความคิดข้างต้นทำการวิเคราะห์ซิกแนลทรานส์ชันกราฟ และวงจร C-element ในรูปที่ 5.3 เพื่อหาเวกเตอร์ทดสอบที่นำมาทวนสอบในขั้นที่ 2

จากตารางที่ 5.1 จะพบว่า การเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation มีทั้งหมด 4 คู่สัญญาณ ได้แก่  $A_i+||B_i+$ ,  $A_i-||B_i-$ ,  $B_i+||P1+$  และ  $A_i-||P2-$  แต่มีเพียง 2 คู่สัญญาณเท่านั้นที่เรานำมาเป็นเวกเตอร์ทดสอบเพื่อทำการทวนสอบในขั้นที่ 2 ได้แก่  $A_i+||B_i+$  และ  $A_i-||B_i-$  ทั้งนี้เพราะความสัมพันธ์ของการเปลี่ยนแปลงสัญญาณทั้งสองเป็นไปตามกรณีที่ 3 (อ้างอิงจากรูปที่ 5.2) นั่นคือ ความสัมพันธ์ของการเปลี่ยนแปลงสัญญาณทั้งสองมีผลกับสัญญาณ ซึ่งเป็นสัญญาณเอาต์พุตที่อยู่คนละวงจรร้อยยกัน ได้แก่ การเปลี่ยนแปลงสัญญาณ  $P1+$ ,  $P2+$  และ  $P2-$ ,  $P1-$  ตามลำดับ

คู่ของการเปลี่ยนแปลง สัญญาณที่มีคุณสมบัติ concurrent temporal relation	ผลกระทบต่อ การเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
$A_i+ \parallel B_i+$	$P1+$	3	ทวนสอบ
	$P2+$	3	
$A_i- \parallel B_i-$	$P2-$	3	ทวนสอบ
	$P1-$	3	
$B_i+ \parallel P1+$	$P2+$	1	ไม่ทวนสอบ
$A_i- \parallel P2-$	$P1-$	1	ไม่ทวนสอบ

ตารางที่ 5.1 การวิเคราะห์คุณสมบัติ concurrent temporal relation ของการเปลี่ยนแปลงสัญญาณใดๆของวงจร C-element



รูปที่ 5.3 (a) ซิกแนลทรานสิชันกราฟของวงจร C-element (b) วงจร C-element

ส่วน  $B_i+ \parallel P1+$  และ  $A_i- \parallel P2-$  เราจะไม่นำมาทำการทวนสอบในขั้นที่ 2 ทั้งนี้เพราะความสัมพันธ์ของการเปลี่ยนแปลงสัญญาณทั้งสองเป็นไปตามกรณีที่ 1 (อ้างอิงจากรูปที่ 5.2) นั่นคือความสัมพันธ์ของการเปลี่ยนแปลงสัญญาณทั้งสองมีผลกับสัญญาณซึ่งเป็นสัญญาณเอาต์พุตของวงจรย่อยเดียวกัน ได้แก่ การเปลี่ยนแปลงสัญญาณ  $P2+$  และ  $P1-$  ตามลำดับ

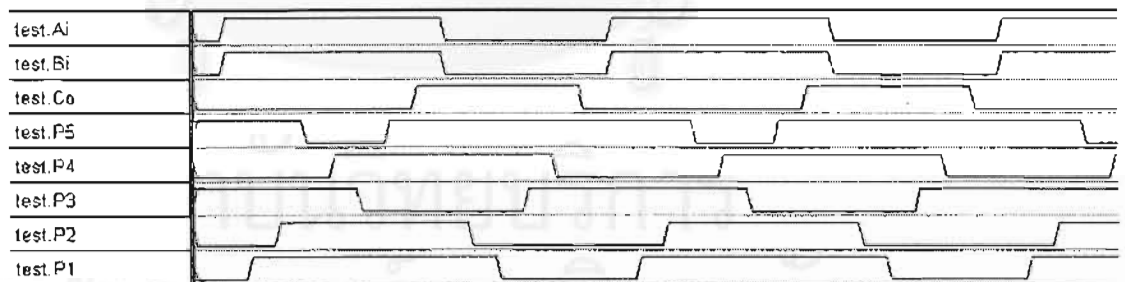
## 5.2 การจำลองเวกเตอร์ทดสอบเชิงเหตุการณ์

ในขั้นตอนนี้จะเป็นการนำเอาเวกเตอร์ทดสอบที่ได้จากการวิเคราะห์ด้วยแนวความคิดที่ได้นำเสนอในหัวข้อ 5.1 มาทำการทวนสอบโดยใช้วิธีการจำลองเชิงเหตุการณ์ สำหรับการทวนสอบในขั้นนี้จะทำการจำลองเวกเตอร์ทดสอบเชิงเหตุการณ์โดยคำนึงถึงลำดับการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ทั้งหมดของเวกเตอร์ทดสอบว่ามีผลต่อลำดับของการเปลี่ยนแปลงสัญญาณของซิกแนลทรานสิชันกราฟหรือไม่

ดังนั้นขั้นตอนวิธีเพื่อทำการทวนสอบวงจรในขั้นที่ 2 จะเป็นดังนี้

1. เขียนโปรแกรม test bench เพื่อจำลองการทำงานของวงจรเชิงเหตุการณ์ โดยยึดถือลำดับการเปลี่ยนแปลงสัญญาณตามซิกแนลทรานสิชันกราฟ
2. จำลองเวกเตอร์ทดสอบเชิงเหตุการณ์เพื่อพิจารณาลำดับของการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ทั้งหมดของเวกเตอร์ทดสอบว่ามีผลต่อลำดับของการเปลี่ยนแปลงสัญญาณตามซิกแนลทรานสิชันกราฟหรือไม่ หากลำดับการเปลี่ยนแปลงสัญญาณของเวกเตอร์ทดสอบมีผลทำให้ลำดับของการเปลี่ยนแปลงสัญญาณไม่ปฏิบัติตามซิกแนลทรานสิชันกราฟ แสดงว่าวงจรมันไม่ผ่านการทวนสอบ

เวกเตอร์ทดสอบในขั้นนี้จะมีลักษณะดังนี้  $\{A_i, B_i\}$  เพราะฉะนั้นลำดับของการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ทั้งหมดที่เราจะต้องพิจารณา คือ  $\{A_i, B_i\}$  และเพื่อให้สามารถจำลองลำดับการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ทั้งหมดเราจะใช้วิธีการให้ค่าความหน่วงที่แตกต่างกัน ของสายสัญญาณทั้งสอง โดยจะพิจารณาทำการเปลี่ยนแปลงค่าความหน่วงจากโปรแกรม test bench ที่เขียนเพื่อจำลองพฤติกรรมของวงจรในข้อ 1



รูปที่ 5.4 การจำลองพฤติกรรมของวงจร C-element เชิงเหตุการณ์

ตัวอย่างเช่น จากหัวข้อ 5.1 เวกเตอร์ทดสอบที่จะนำมาใช้เพื่อทำการทวนสอบวงจร C-element ในขั้นที่ 2 คือ  $A_i + B_i$  และ  $A_i - B_i$  ดังนั้นเพื่อที่จะทำการทวนสอบในขั้นนี้ เราจะทำดังนี้

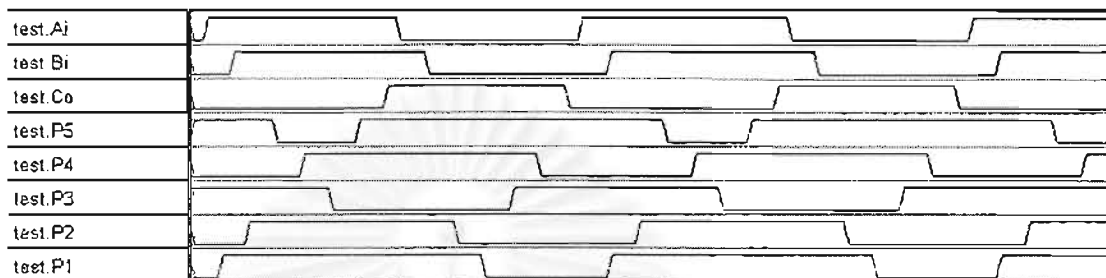
- 1) จำลองพฤติกรรมของวงจร C-element เชิงเหตุการณ์จะแสดงดังรูปที่ 5.4
- 2) เวกเตอร์ทดสอบ คือ  $A_i + B_i$  และ  $A_i - B_i$



### พิจารณาเวกเตอร์ทดสอบ $A_i+||B_i+$

ลำดับการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ทั้งหมดคือ  $\{ A_i+B_i+, B_i+A_i+ \}$

- จำลองการทำงานของวงจรกรณีที่มีการเปลี่ยนแปลงสัญญาณ  $A_i+$  เกิดก่อนการเปลี่ยนแปลงสัญญาณ  $B_i+$  จะแสดงดังรูปที่ 5.5 ซึ่งผลปรากฏว่าลำดับของการเปลี่ยนแปลงสัญญาณไม่มีผลต่อลำดับของการเปลี่ยนแปลงซิกแนลทรานสิชันกราฟ



รูปที่ 5.5 การจำลองพฤติกรรมของวงจร C-element กรณีที่มีการเปลี่ยนแปลงสัญญาณ  $A_i+$  เกิดก่อนการเปลี่ยนแปลงสัญญาณ  $B_i+$

- จำลองพฤติกรรมของวงจรกรณีที่มีการเปลี่ยนแปลงสัญญาณ  $B_i+$  เกิดก่อนการเปลี่ยนแปลงสัญญาณ  $A_i+$  จะแสดงดังรูปที่ 5.6 ซึ่งผลปรากฏว่าลำดับของการเปลี่ยนแปลงสัญญาณไม่มีผลต่อลำดับของการเปลี่ยนแปลงซิกแนลทรานสิชันกราฟเช่นเดียวกัน



รูปที่ 5.6 การจำลองการทำงานของวงจร C-element กรณีที่มีการเปลี่ยนแปลงสัญญาณ  $B_i+$  เกิดก่อนการเปลี่ยนแปลงสัญญาณ  $A_i+$

พิจารณาเวกเตอร์ทดสอบ  $A_i-||B_i-$  จะทำเช่นเดียวกับ  $A_i+||B_i+$  ซึ่งผลลัพธ์ที่ได้ก็คือลำดับของการเปลี่ยนแปลงสัญญาณไม่มีผลต่อลำดับของการเปลี่ยนแปลงซิกแนลทรานสิชันกราฟ ดังนั้นจึงสรุปได้ว่าวงจร C-element ผ่านการทดสอบในขั้นที่ 2

### 5.3 สรุป

ในบทนี้ได้กล่าวถึงขั้นตอนวิธีการทวนสอบวงจรสมวารแบบควอไซดีเลย์อินเซนซิทีฟเชิงลำดับชั้นในชั้นที่ 2 อย่างละเอียด โดยเริ่มจากการอธิบายแนวความคิดที่ใช้ในการวิเคราะห์เพื่อหาเวกเตอร์ทดสอบ หลังจากนั้นจึงอธิบายถึงการจำลองการทำงานของเวกเตอร์ทดสอบที่ได้เชิงเหตุการณ์ เพื่อทำการทวนสอบวงจรในชั้นที่ 2

หากวงจรใดก็ตามผ่านการทวนสอบในชั้นที่ 2 แล้วจะถือว่าวงจรดังกล่าวผ่านการทวนสอบ นั่นคือ วงจรนั้นมีพฤติกรรมถูกต้องตรงตามซิกแนลทรานสิชันกราฟที่กำหนดไว้ในขั้นตอนการออกแบบ



## บทที่ 6

### ตัวอย่างการทวนสอบวงจรและการทดลองกับเกณฑ์เปรียบเทียบสมรรถนะ

ในบทนี้จะกล่าวถึงตัวอย่างการประยุกต์ใช้ขั้นตอนวิธีการทวนสอบวงจรสมวารกับวงจร fifo และกับวงจรที่ไม่ถูกต้องตรงตามคุณลักษณะที่กำหนดไว้ในขั้นตอนการออกแบบ

นอกจากนี้ยังได้แสดงผลการทดลองเมื่อนำขั้นตอนวิธีการทวนสอบที่ได้นำเสนอในงานวิจัยฉบับนี้ไปทดลองกับเกณฑ์เปรียบเทียบสมรรถนะด้วย

#### 6.1 ตัวอย่างการทวนสอบวงจร fifo

ในการทวนสอบวงจรเราจะพิจารณาจากซิกแนลทรานสิชันกราฟของวงจร fifo และ วงจร fifo ดังรูปที่ 3.3 โดยเราจะแบ่งขั้นตอนวิธีการทวนสอบเป็น 2 ชั้น ดังนี้

ชั้นที่ 1 จะเป็นการทวนสอบแต่ละวงจรรย่อยของวงจร fifo โดยจะมีขั้นตอนวิธีการทวนสอบดังนี้

- 1) ทำการแยกซิกแนลทรานสิชันกราฟของวงจร fifo ออกเป็นกราฟ contracted STG ของสัญญาณที่ไม่ใช่สัญญาณอินพุต ซึ่งจะได้ 4 กราฟ contracted STG ได้แก่ กราฟ contracted STG ของสัญญาณ Ai, Ro, D และ L ตามลำดับ แสดงดังรูปที่ 3.4
- 2) กำจัดเส้นเชื่อมที่ซ้ำซ้อน ซึ่งเมื่อพิจารณาจากกราฟ contracted STG ทั้งหมดของวงจร fifo จะพบว่าไม่มีเส้นเชื่อมที่ซ้ำซ้อน
- 3) สร้างเวกเตอร์ทดสอบจากกราฟ contracted STG ทั้งหมดของวงจร fifo ด้วยขั้นตอนวิธีที่ 1 โดยเวกเตอร์ทดสอบที่ได้จะถูกพิจารณาจากกราฟสายงานของแต่ละกราฟ contracted STG ของวงจร fifo ดังแสดงในรูปที่ 6.1 เวกเตอร์ทดสอบทั้งหมดได้แก่

เวกเตอร์ทดสอบของวงจร fifo สำหรับสัญญาณ Ai ได้แก่

start A+ D+ L+ Ai+ L+ D- L- Ai- L+ stop

เวกเตอร์ทดสอบของวงจร fifo สำหรับสัญญาณ R0 ได้แก่

start D+ R0+ D- R0- D+ stop

เวกเตอร์ทดสอบของวงจร fifo สำหรับสัญญาณ D ได้แก่

start Ri+ L+ D+ L- Ri- L+ D- L- Ri+ stop

เวกเตอร์ทดสอบของวงจร fifo สำหรับสัญญาณ L ได้แก่

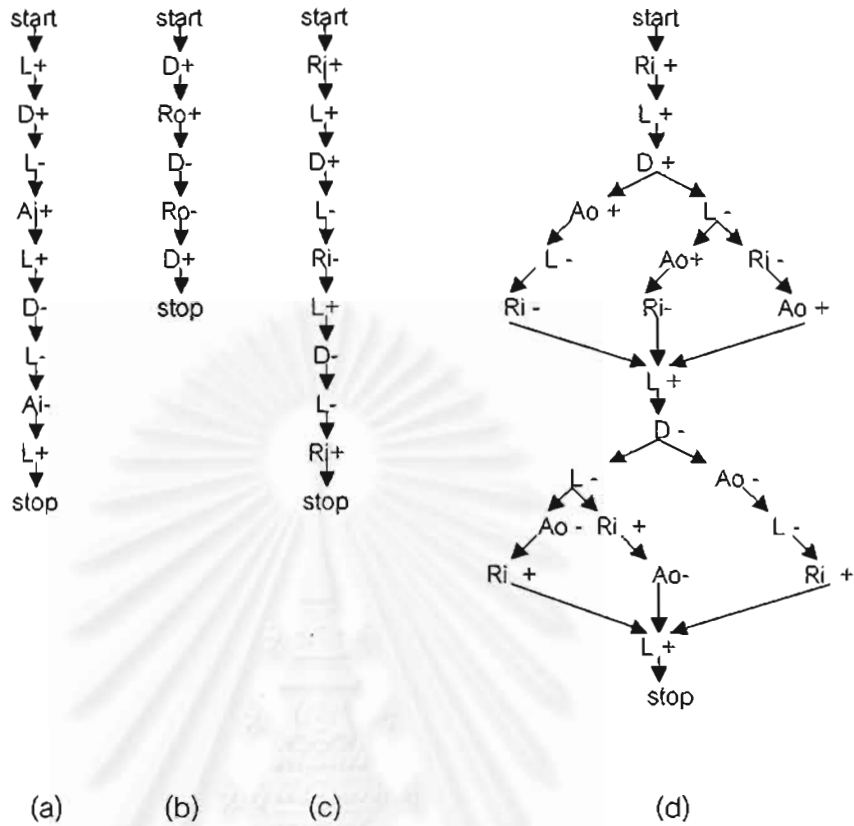
start Ri+ L+ D+ Ao+ L- Ri- L+ D- L- Ao- Ri+ L+ stop

start Ri+ L+ D+ Ao+ L- Ri- L+ D- L- Ri+ A0- L+ stop

start Ri+ L+ D+ Ao+ Ri- L+ D- Ao- L- Ri+ L+ stop

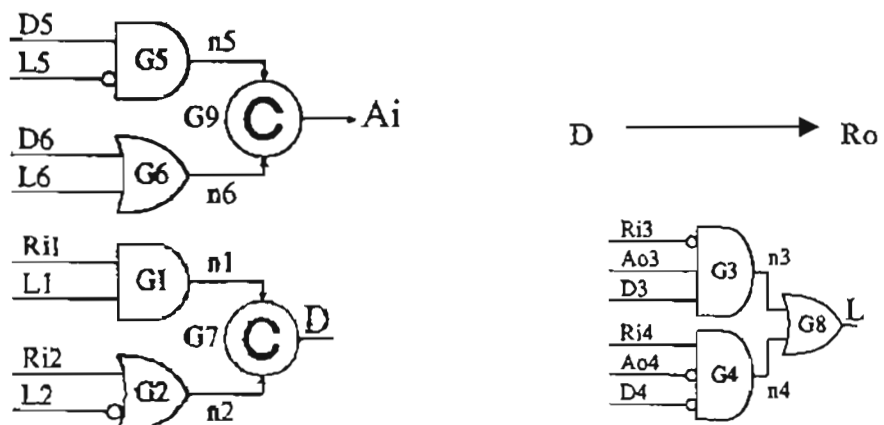
start Ri+ L+ D+ L- A0+ Ri- L+ D- L- Ao- Ri+ L+ stop

start Ri+ L+ D+ L- Ri- Ao+ L+ D- L- Ao- Ri+ L+ stop



รูปที่ 6.1 กราฟสายงานของกราฟ contracted STG ทั้งหมดของวงจร fifo สำหรับสัญญาณ (a) Ai (b) R0 (c) D (d) L

4) เขียนโปรแกรม test bench จำลองการทำงานเวกเตอร์ทดสอบเชิงเหตุการณ์เพื่อทำการทดสอบแต่ละวงจรรย่อย ของวงจร fifo แสดงดังรูปที่ 6.2



รูปที่ 6.2 วงจรรย่อยทั้งหมดของวงจร fifo

พิจารณาลำดับของการเปลี่ยนแปลงสัญญาณเอาต์พุตในเวกเตอร์ทดสอบกับผลลัพธ์ที่ได้จากการจำลองเวกเตอร์ทดสอบเชิงเหตุการณ์ของแต่ละวงจรร้อยว่าถูกต้องตรงตามกันหรือไม่

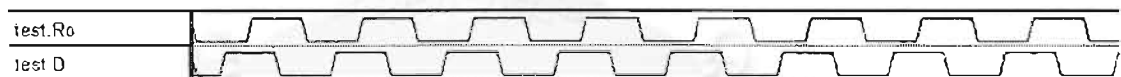
ดังรูปที่ 6.3 จะแสดงตัวอย่างผลลัพธ์ที่ได้จากการเขียนโปรแกรม test bench เพื่อจำลองเวกเตอร์ทดสอบเชิงเหตุการณ์ของแต่ละวงจรร้อยของวงจร fifo ในรูปที่ 6.2

ซึ่งจากลำดับของการเปลี่ยนแปลงสัญญาณที่ได้เมื่อทำการทวนสอบครบทุกเวกเตอร์ทดสอบของแต่ละวงจรร้อย จะพบว่าถูกต้องตรงตามเวกเตอร์ทดสอบนอกจากนี้แล้วเราจะนำข้อมูลจำนวนครั้งของการเปลี่ยนแปลงสัญญาณภายในวงจรมาเปรียบเทียบกัน ซึ่งสำหรับวงจรร้อยของวงจร fifo จะมีเพียงวงจรร้อยของวงจร fifo สำหรับสัญญาณ L เท่านั้นที่จะถูกนำมาพิจารณา ทั้งนี้เพราะวงจรร้อยอื่นๆของวงจร fifo จะมีเพียงหนึ่งเวกเตอร์ทดสอบเท่านั้น สำหรับจำนวนครั้งของการเปลี่ยนแปลงสัญญาณภายในวงจร fifo สำหรับสัญญาณ L ของทุกเวกเตอร์ทดสอบจะมีค่าเท่ากันดังนี้

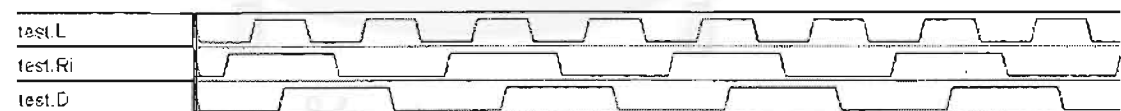
- การเปลี่ยนแปลงสัญญาณ n3 แบบ rising เกิดขึ้น 2 ครั้ง
- การเปลี่ยนแปลงสัญญาณ n3 แบบ falling เกิดขึ้น 2 ครั้ง
- การเปลี่ยนแปลงสัญญาณ n4 แบบ rising เกิดขึ้น 3 ครั้ง
- การเปลี่ยนแปลงสัญญาณ n4 แบบ falling เกิดขึ้น 3 ครั้ง



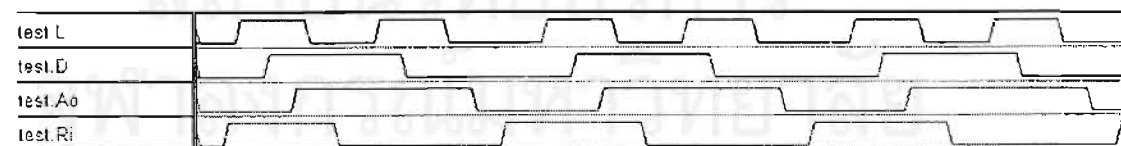
(a)



(b)



(c)



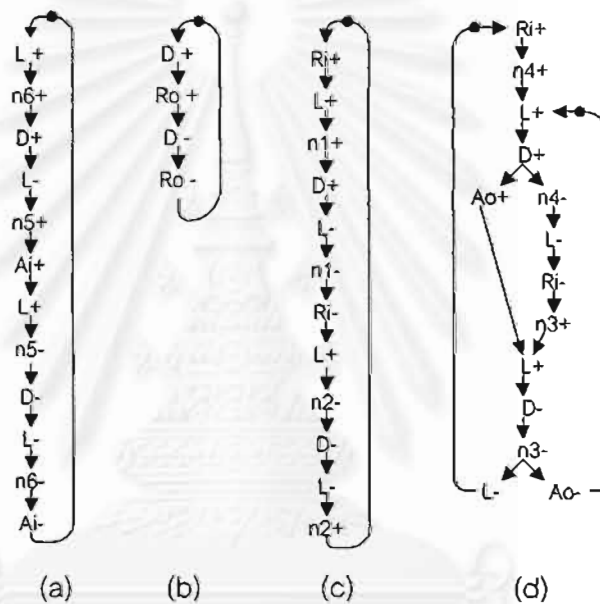
(d)

รูปที่ 6.3 ตัวอย่างผลลัพธ์ที่ได้จากการจำลองเวกเตอร์ทดสอบเชิงเหตุการณ์ของแต่ละวงจรร้อยของวงจร fifo ในรูปที่ 6.2 สำหรับสัญญาณ (a)Ai (b)Ro (c)D (d)L

- 5) พิจารณาหา non-acknowledged transition ของแต่ละวงจรร้อยด้วยการสร้างแผนภาพคล้ายซิกแนลทรานสชันกราฟ ดังรูปที่ 6.4 แสดงแผนภาพคล้ายซิกแนลทรานสชันกราฟของวงจรร้อยทั้งหมดของวงจร fifo

จะพบว่าในแต่ละแผนภาพคล้ายซิกแนลทรานสชันกราฟของวงจรร้อยทั้งหมดของวงจร fifo ไม่มี non-acknowledged transition ซึ่งเป็นสาเหตุทำให้วงจรทำงานได้ไม่ถูกต้องตามโมเดลความหน่วงแบบควอไซดีเลย์อินเซนซิทีฟ

เมื่อทำการทวนสอบในขั้นที่ 1 เสร็จเรียบร้อยแล้วผลปรากฏว่าวงจรร้อยทั้งหมดของวงจร fifo ผ่านการทวนสอบในขั้นที่ 1 ดังนั้นเราจึงทำการทวนสอบวงจร fifo ในขั้นที่ 2 ต่อ เพื่อสามารถรับประกันได้ว่าเมื่อนำวงจรร้อยทั้งหมดมาเชื่อมต่อกันแล้วสามารถทำงานได้ถูกต้อง



รูปที่ 6.4 แผนภาพคล้ายซิกแนลทรานสชันกราฟของวงจรร้อยทั้งหมดของวงจร fifo สำหรับสัญญาณ (a) Ai (b) R (c) D (d) L

ขั้นที่ 2 จะเป็นการทวนสอบทั้งวงจร โดยจะมีขั้นตอนวิธีการทวนสอบดังนี้

- 1) พิจารณาคู่สัญญาณที่มีคุณสมบัติ concurrent temporal relation จากซิกแนลทรานสชันกราฟของวงจรร้อย fifo ซึ่งจะได้ทั้งหมด 12 คู่ ได้แก่  $Ro+||L-$ ,  $Ro+||Ai+$ ,  $Ro+||Ri-$ ,  $Ao+||L-$ ,  $Ao+||Ai+$ ,  $Ao+||Ri-$ ,  $L-||Ro-$ ,  $L-||Ao-$ ,  $Ai-||Ro-$ ,  $Ai-||Ao-$ ,  $Ri+||Ro-$  และ  $Ri+||Ao-$
- 2) สร้างเวกเตอร์ทดสอบด้วยการพิจารณาจากคู่สัญญาณทั้งหมดโดยใช้แนวความคิดที่ได้นำเสนอในบทที่ 5 ซึ่งเมื่อได้ทำการวิเคราะห์แล้วจะได้เวกเตอร์ทดสอบทั้งหมดจำนวน 2 คู่ ได้แก่  $Ao+||L-$  และ  $L-||Ao-$  ดังแสดงในตารางที่ 6.1

คู่ของการเปลี่ยนแปลง สัญญาณที่มีคุณสมบัติ concurrent temporal relation	ผลกระทบต่อ การเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Ro+    L-		4	ไม่ทดสอบ
Ro+    Ai+		4	ไม่ทดสอบ
Ro+    Ri-		4	ไม่ทดสอบ
Ao+    L-	Ai+	3	ทดสอบ
	L+	3	
Ao+    Ai+		4	ไม่ทดสอบ
Ao+    Ri-	L+	1	ไม่ทดสอบ
L-    Ro-		4	ไม่ทดสอบ
L-    Ao-	L+	3	ทดสอบ
	Ai-	4	
Ai-    Ro-		4	ไม่ทดสอบ
Ai-    Ao-		4	ไม่ทดสอบ
Ri+    Ro-		4	ไม่ทดสอบ
Ri+    Ao-	L+	1	ไม่ทดสอบ

ตารางที่ 6.1 การวิเคราะห์คุณสมบัติ concurrent temporal relation ของการเปลี่ยนแปลงสัญญาณใดๆของวงจร fifo

- 3) เขียนโปรแกรม test bench จำลองพฤติกรรมของวงจร fifo ซึ่งเหตุการณ์ซึ่งผลที่ได้จากการจำลองจะแสดงดังรูปที่ 6.5



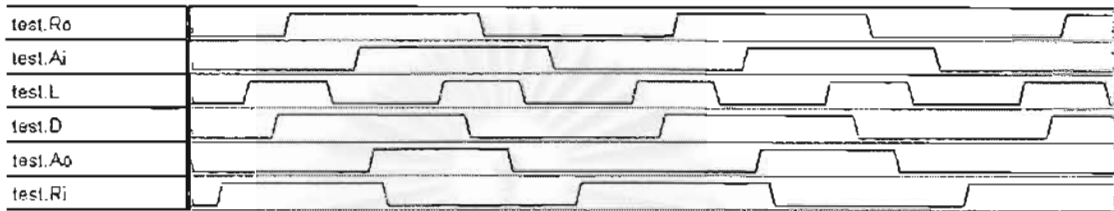
รูปที่ 6.5 การจำลองพฤติกรรมของวงจร fifo

- 4) นำเวกเตอร์ทดสอบที่ได้ในข้อ 2 มาพิจารณาลำดับการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ทั้งหมดด้วยการเปลี่ยนแปลงค่าความหน่วงในโปรแกรม test bench ในข้อ 3 ซึ่งจากเวกเตอร์ทดสอบที่ได้สามารถพิจารณาลำดับการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ทั้งหมดดังนี้
- เวกเตอร์ทดสอบที่ 1 ได้แก่  $A0+||L- = \{ A0+L-, L- A0+ \}$
- เวกเตอร์ทดสอบที่ 2 ได้แก่  $L-||A0- = \{ L- A0-, A0- L- \}$

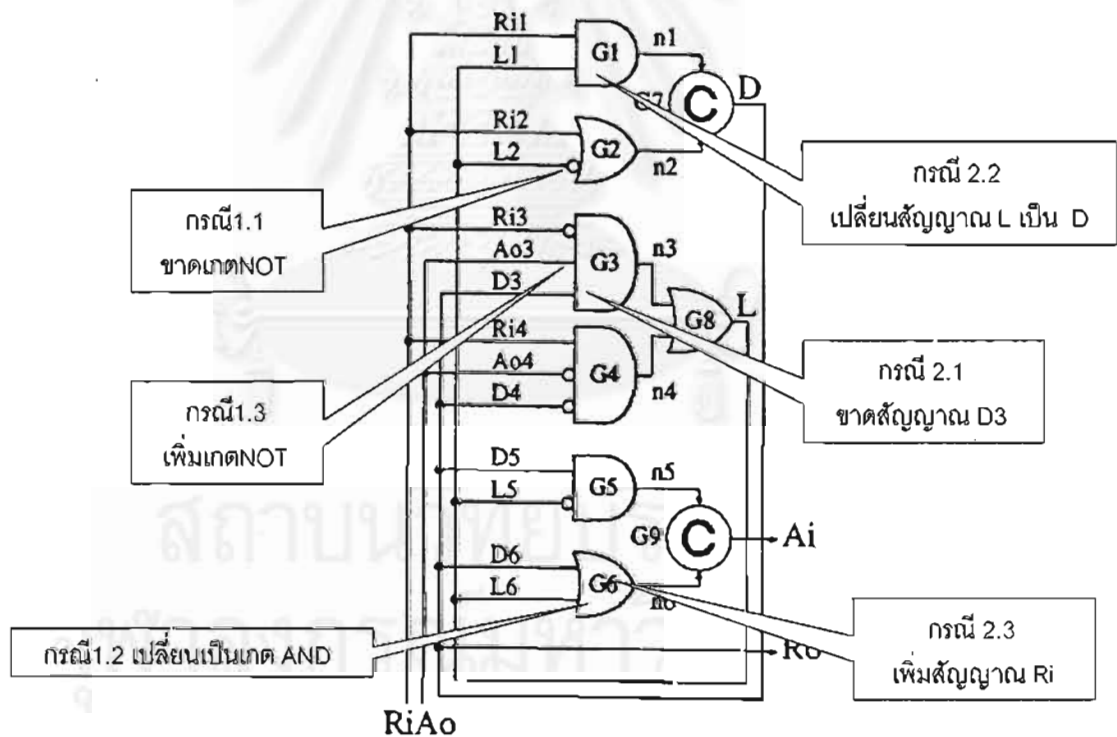
พิจารณาเวกเตอร์ทดสอบที่ 1 จากรูปที่ 6.5 จะพบว่าหากลำดับการเปลี่ยนแปลงสัญญาณ  $A0+$  เกิดก่อน  $L-$  จะไม่มีผลต่อลำดับการเปลี่ยนแปลงสัญญาณในซิกแนลทรานสิชันกราฟ ดังนั้น

เราจึงพิจารณา กรณีที่ ลำดับการเปลี่ยนแปลงสัญญาณ L- เกิดก่อน A0+ ดังแสดงในรูปที่ 6.6 ซึ่งผลที่ได้ปรากฏว่าลำดับการเปลี่ยนแปลงสัญญาณดังกล่าวไม่มีผลต่อลำดับการเปลี่ยนแปลงของซิกแนลทรานสิชันกราฟ สำหรับการพิจารณาเวกเตอร์ทดสอบที่ 2 ก็จะทำเช่นเดียวกัน

เมื่อทำการทวนสอบในขั้นที่ 2 เสร็จเรียบร้อยแล้วปรากฏว่าวงจร fifo ผ่านการทวนสอบในขั้นที่ 2 ดังนั้นเราจึงสรุปได้ว่า วงจร fifo ที่ได้จากการสังเคราะห์มีพฤติกรรมถูกต้องตรงตามซิกแนลทรานสิชันที่ได้กำหนดไว้ในขั้นตอนการออกแบบ แสดงว่า วงจร fifo ผ่านการทวนสอบ



รูปที่ 6.6 การจำลองพฤติกรรมของวงจร fifo กรณีที่ลำดับการเปลี่ยนแปลงสัญญาณ L- เกิดก่อนการเปลี่ยนแปลงสัญญาณ A0+



รูปที่ 6.7 ตัวอย่างวงจรที่ไม่ถูกต้องตามคุณลักษณะ



## 6.2 ตัวอย่างการทวนสอบวงจรที่ไม่ถูกต้องตามคุณลักษณะ

จากหัวข้อที่ผ่านมาจะเป็นตัวอย่างการทวนสอบวงจร fifo ซึ่งผลปรากฏว่าวงจรดังกล่าวถูกต้องตามคุณลักษณะที่ได้ออกแบบไว้ สำหรับในหัวข้อนี้จะเป็นตัวอย่างการทวนสอบกับวงจรที่ไม่ถูกต้องตามคุณลักษณะ โดยตัวอย่างของวงจรที่จะนำเสนอ นั่นก็คือ วงจร fifo ที่เราได้เพิ่มกรณีความผิดพลาดให้กับวงจรดังกล่าวแสดงดังรูปที่ 6.7 ได้แก่

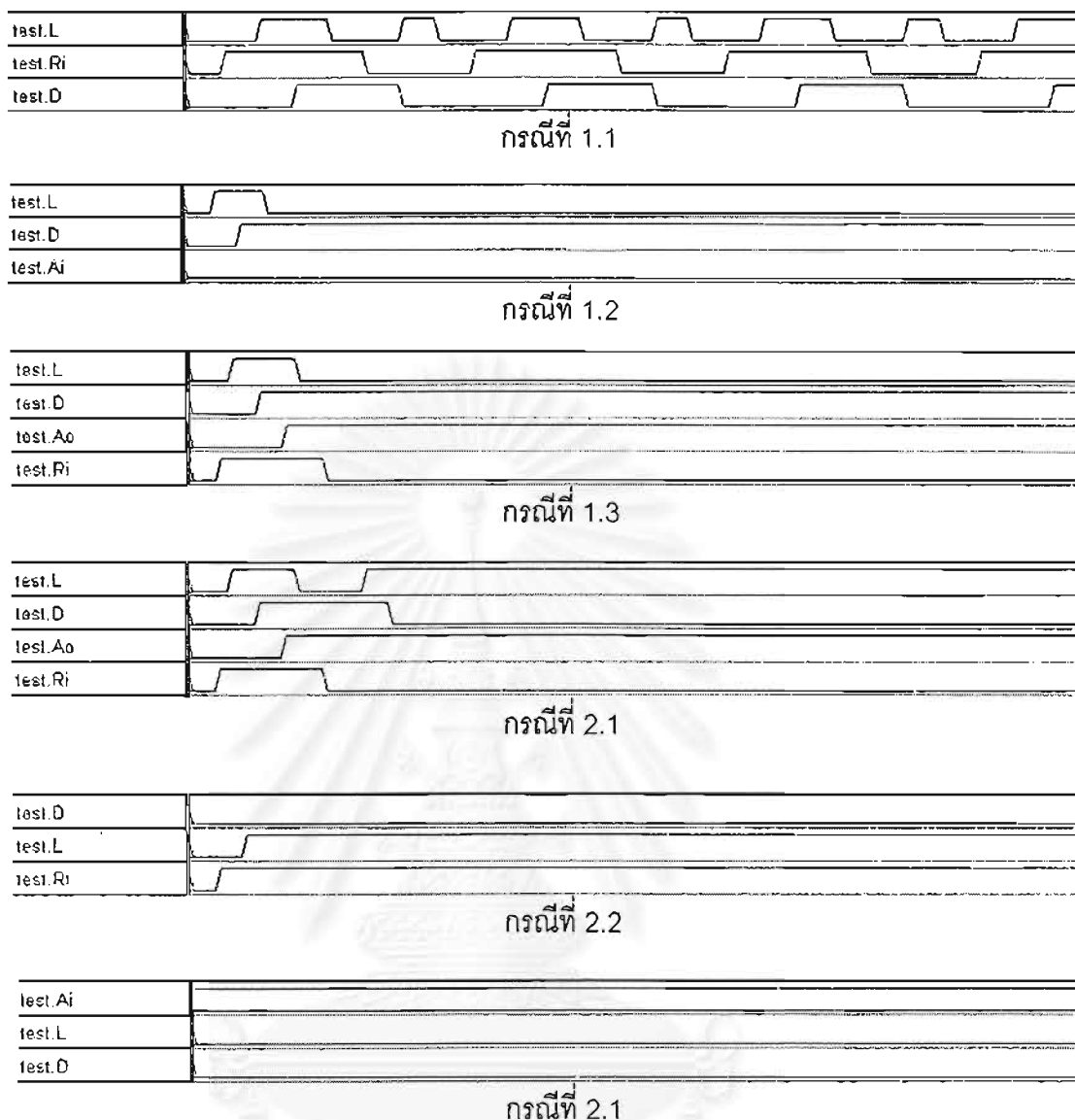
### 1) กรณีเกตไม่ถูกต้อง ซึ่งสามารถพิจารณาได้ดังนี้

- 1.1) จำนวนเกตไม่ครบถ้วน ตัวอย่างเช่น จากรูปที่ 3.3(b) สายสัญญาณ L2 ของเกต G2 จะมีเส้นหนึ่งที่ต้องผ่านเกต NOT แต่ในรูปที่ 6.7 เราจะกำหนดไม่ให้สัญญาณอินพุตดังกล่าวผ่านเกต NOT
- 1.2) เกตไม่ถูกต้อง ตัวอย่างเช่นจากรูปที่ 3.3(b) เกต G6 จะต้องเป็นเกต OR แต่เราจะเปลี่ยนเป็น เกต AND ดังแสดงในรูปที่ 6.7
- 1.3) จำนวนเกตเกิน ตัวอย่างเช่น จากรูปที่ 3.3(b) สายสัญญาณ A03 ของเกต G3 ไม่ต้องผ่านเกต NOT แต่ในรูปที่ 6.7 เราจะเพิ่มเกต NOT

### 2) กรณีสายสัญญาณไม่ถูกต้อง ซึ่งสามารถพิจารณาได้ดังนี้

- 2.1) จำนวนสายสัญญาณไม่ครบถ้วน ตัวอย่างเช่นจากรูปที่ 3.3(b) เกต G3 จะมีจำนวนสายสัญญาณอินพุตทั้งหมด 3 เส้น ได้แก่สายสัญญาณ Ri3, A03 และ D3 แต่ในรูปที่ 6.7 เราจะดึงสายสัญญาณ D3 ออกจากวงจร
- 2.2) จำนวนสายสัญญาณไม่ถูกต้อง ตัวอย่างเช่นจากรูปที่ 3.3(b) เกต G1 จะมีจำนวนสายสัญญาณอินพุตทั้งหมด 2 เส้น ได้แก่สายสัญญาณ Ri1 และ L1 แต่ในรูปที่ 6.5 เราจะเปลี่ยนสายสัญญาณจาก L เป็น D แทน
- 2.3) จำนวนสายสัญญาณเกิน ตัวอย่างเช่น จากรูปที่ 3.3(b) เกต G6 จะมีจำนวนสายสัญญาณอินพุตทั้งหมด 2 เส้น ได้แก่สายสัญญาณ D6 และ L6 แต่ในรูปที่ 6.7 เราจะเพิ่มสายสัญญาณ Ri เข้าไป

เมื่อเรานำวงจรในรูปที่ 6.7 ที่ได้จากการเพิ่มกรณีความผิดพลาดเข้าไปในรูปที่ 3.3(b) ดังที่ได้อธิบายข้างต้น มาทำการทวนสอบด้วยขั้นตอนวิธีการทวนสอบที่ได้นำเสนอ จะพบว่ากรณีความผิดพลาดในแต่ละกรณีสามารถตรวจพบได้จากลำดับการเปลี่ยนแปลงสัญญาณที่ไม่ถูกต้องจากการทวนสอบในขั้นที่ 1 แสดงดังรูปที่ 6.8



รูปที่ 6.8 ลำดับการเปลี่ยนแปลงสัญญาณที่ไม่ถูกต้องที่ได้จากการทวนสอบวงจรในขั้นที่ 1

### 6.3 ผลการทดลองและสรุปผลการทดลอง

หัวข้อนี้จะแสดงผลการทดลองที่ได้เมื่อนำขั้นตอนวิธีการทวนสอบที่ได้นำเสนอในงานวิจัยฉบับนี้ไปทวนสอบกับวงจรทั้งหมดในเกณฑ์เปรียบเทียบสมรรถนะจำนวน 29 วงจร ดังแสดงในภาคผนวก ก. โดยในการทำการทดลองดังกล่าวจะมีจุดประสงค์ดังนี้

- 1) เพื่อต้องการทดสอบขั้นตอนวิธีการสร้างเวกเตอร์ทดสอบในแต่ละลำดับขั้นของการทวนสอบ
  - 2) เพื่อต้องการทดสอบขั้นตอนวิธีการทวนสอบที่ได้นำเสนอในงานวิจัยฉบับนี้
- และผลที่ได้จากการทดลองจะนำเสนอโดยแบ่งตามลำดับขั้นของการทวนสอบดังนี้

## ขั้นที่ 1

จากผลการทดลองในตารางที่ 6.2 จะแสดงการเปรียบเทียบจำนวนเวกเตอร์ทดสอบที่สร้างด้วยขั้นตอนวิธีที่ 1 กับจำนวนเวกเตอร์ทดสอบที่เป็นไปได้ทั้งหมดของวงจรในเกณฑ์เปรียบเทียบสมรรถนะ ซึ่งรายละเอียดเกี่ยวกับเวกเตอร์ทดสอบของแต่ละวงจรร้อยที่ได้จากการสร้างด้วยขั้นตอนวิธีที่ 1 จะแสดงในภาคผนวก ข. ผลปรากฏว่าจำนวนเวกเตอร์ทดสอบที่สร้างด้วยขั้นตอนวิธีที่ 1 สามารถลดจำนวนเวกเตอร์ทดสอบที่ใช้ในการทวนสอบได้ 21.08% จากจำนวนเวกเตอร์ทดสอบที่เป็นไปได้ทั้งหมด

หลังจากนั้นเมื่อนำเวกเตอร์ทดสอบทั้งหมดไปทวนสอบกับวงจรในเกณฑ์เปรียบเทียบสมรรถนะผลที่ได้ก็คือวงจรร้อยทั้งหมดผ่านการทวนสอบในขั้นที่ 1 อย่างสมบูรณ์ ยกเว้นมีบางวงจรร้อยของวงจรดังต่อไปนี้ ได้แก่

วงจร trimos – send ได้แก่ วงจรร้อยสำหรับสัญญาณ Ao, Bo และ Co

วงจร vbe5b ได้แก่ วงจรร้อยสำหรับสัญญาณ Lr

วงจร vbe10b ได้แก่ วงจรร้อยสำหรับสัญญาณ A1

วงจร wrdatab ได้แก่ วงจรร้อยสำหรับสัญญาณ Ar,Dr และ St

วงจร master-read ได้แก่ วงจรร้อยสำหรับสัญญาณ X

วงจร sbuf-ram-write ได้แก่ วงจรร้อยสำหรับสัญญาณ Yo

วงจร sbuf-send-ctl ได้แก่ วงจรร้อยสำหรับสัญญาณ Ib

วงจร sbuf-send-pkt2 ได้แก่ วงจรร้อยสำหรับสัญญาณ Ak

ซึ่งเราจะต้องทำการคัดเลือกเวกเตอร์ทดสอบแบบสุ่มโดยในการทดลองครั้งนี้จะเลือกสุ่มมาจำนวน 50 เวกเตอร์ทดสอบจากจำนวนเวกเตอร์ทดสอบทั้งหมดของแต่ละวงจรร้อยเพื่อทำการทวนสอบวงจร ทั้งนี้เพราะจำนวนเวกเตอร์ทดสอบที่ได้จากการสร้างเพื่อทวนสอบวงจรร้อยเหล่านี้มีจำนวนมาก ทำให้ไม่สามารถทวนสอบเวกเตอร์ทดสอบได้ครบทั้งหมด เพราะจะต้องเสียเวลาเป็นจำนวนมากเพื่อที่จะเขียนโปรแกรม test bench มาทำการจำลองเวกเตอร์ทดสอบได้ครบทั้งหมด

## ขั้นที่ 2

หลังจากนั้นเราจะนำวงจรทั้งหมดที่ผ่านการทวนสอบในขั้นที่ 1 มาทำการทวนสอบในขั้นที่ 2 ดังตารางที่ 6.3 จะแสดงผลการทดลองที่ได้จากการวิเคราะห์หาเวกเตอร์ทดสอบด้วยการพิจารณาจากจำนวนคู่ของการเปลี่ยนแปลงสัญญาณทั้งหมดที่มีคุณสมบัติ concurrent temporal relation ในทริกแลนทรานสิชันกราฟโดยใช้แนวความคิดที่ได้นำเสนอไปแล้วในบทที่ 5 ซึ่งรายละเอียดของขั้นตอนในการวิเคราะห์หาเวกเตอร์ทดสอบดังกล่าวกับเกณฑ์เปรียบเทียบสมรรถนะจะแสดงในภาคผนวก ค. และเมื่อเรานำเวกเตอร์ทดสอบที่ได้ไปทำการทวนสอบ ผลปรากฏว่าวงจรร้อยทั้งหมดในเกณฑ์เปรียบเทียบสมรรถนะผ่านการทวนสอบในขั้นที่ 2

จากผลการทดลองในการทวนสอบทั้ง 2 ชั้นสามารถสรุปได้ว่า วงจรทั้งหมดในเกณฑ์เปรียบเทียบสมรรถนะผ่านการทวนสอบ นั่นคือวงจรทั้งหมดในเกณฑ์เปรียบเทียบสมรรถนะมีพฤติกรรมถูกต้องตรงตามซิกแนลทรานสิชันกราฟที่ได้ออกแบบไว้

นอกจากนี้เรายังได้นำเสนอผลการทดลองในตารางที่ 6.4 จะแสดงการเปรียบเทียบจำนวนเวกเตอร์ทดสอบทั้งหมดที่ใช้ในการทวนสอบ ระหว่างขั้นตอนวิธีการทวนสอบเชิงลำดับชั้นที่ได้นำเสนอในงานวิจัยฉบับนี้กับขั้นตอนวิธีการทวนสอบโดยพิจารณาหาเวกเตอร์ทดสอบจากซิกแนลทรานสิชันกราฟของทั้งวงจรทีเดียว โดยไม่มีการแบ่งการทวนสอบเป็นลำดับชั้นหรือที่เรียกว่าเป็นการทวนสอบแบบทั้งวงจร (flat verification) ซึ่งผลปรากฏว่าการทวนสอบเชิงลำดับชั้นสามารถลดจำนวนเวกเตอร์ทดสอบที่ใช้ในการทวนสอบได้ 87.81% จากจำนวนเวกเตอร์ทดสอบทั้งหมดที่ได้จากการทวนสอบแบบทั้งวงจรทีเดียว

#### 6.4 สรุป

ในบทนี้ได้กล่าวถึงตัวอย่างการทวนสอบวงจร fifo โดยใช้ขั้นตอนวิธีการทวนสอบที่ได้นำเสนอในงานวิจัยฉบับนี้ และยังได้นำเสนอตัวอย่างการทวนสอบวงจร fifo ที่มีความผิดพลาดเกิดขึ้น โดยความผิดพลาดเหล่านี้สามารถตรวจพบได้ในการทวนสอบวงจรชั้นที่ 1 ของการทวนสอบวงจร

นอกจากนี้เรายังได้นำเสนอผลการทดลอง เมื่อได้นำขั้นตอนวิธีการทวนสอบที่ได้นำเสนอในงานวิจัยฉบับนี้ ไปทวนสอบกับเกณฑ์เปรียบเทียบสมรรถนะจำนวน 29 วงจร ซึ่งผลปรากฏว่ามี 21 วงจรที่สามารถประยุกต์ใช้ขั้นตอนวิธีการทวนสอบดังกล่าวได้อย่างมีประสิทธิภาพและอีก 8 วงจรได้แก่ trimos-send, vbe5b, vbe10b, wrdatab, master-read, sbuf-ram-write, sbuf-send-ctl และ sbuf-send-pkt2 จะพบว่า มีบางวงจรรย่อยของวงจรเหล่านี้ที่ต้องใช้วิธีการเลือกเวกเตอร์ทดสอบแบบสุ่มเพื่อทำการทวนสอบวงจรในชั้นที่ 1 ทั้งนี้เพราะจำนวนเวกเตอร์ทดสอบมีจำนวนมากเกินไป

วงจร	การทวนสอบวงจรสมวารเชิงลำดับขั้นขั้นที่ 1	
	จำนวนเวกเตอร์ทดสอบทั้งหมดของกราฟสายงาน	จำนวนเวกเตอร์ทดสอบที่ได้จากขั้นตอนวิธีที่ 1
C-element	10	9
Converta	10	8
Ebergen	6	5
Half	19	19
Hybridf	14	11
Nowick	8	6
Trimos-send	1152	1152
Vbe5b	112	30
Vbe5c	40	40
Vbe6a	58	30
Vbe10b	164	124
Wrdata	10	8
Wrdatatab	2122	1491
Chu133	9	9
Sendr-done	5	4
Alloc-outbound	11	11
Rlm	5	5
Full	8	6
Input	16	7
Master-read	285	279
Ram-read-sbuf	27	19
Sbuf-ram-write	173	42
Sbuf-read-ctl	7	7
Sbuf-send-ctl	99	99
Sbuf-send-pkt2	84	84
Rcv-setup	30	30
Nak-pa	14	14
Mp-forward-pkt	9	9
Fifo	12	8

ตารางที่ 6.2 ผลการทดลองแสดงการเปรียบเทียบระหว่างจำนวนเวกเตอร์ทดสอบทั้งหมดกับจำนวนเวกเตอร์ทดสอบที่ได้จากขั้นตอนวิธีที่ 1

วงจร	การทวนสอบวงจรผสมวางเรียงลำดับขั้นที่ 2	
	จำนวนคู่การเปลี่ยนแปลงสัญญาณทั้งหมดที่นำมาวิเคราะห์	จำนวนคู่การเปลี่ยนแปลงสัญญาณทั้งหมดที่ได้จากการวิเคราะห์
C-element	4	2
Converta	4	0
Ebergen	4	0
Half	5	1
Hybridf	29	12
Nowick	5	1
Trimos-send	9	9
Vbe5b	10	0
Vbe5c	10	3
Vbe6a	8	4
Vbe10b	10	4
Wrdata	3	0
Wrdatab	23	14
Chu133	6	3
Sendr-done	1	0
Alloc-outbound	0	0
Rfm	0	0
Full	6	2
Input	6	0
Master-read	38	13
Ram-read-sbuf	12	0
Sbuf-ram-write	31	2
Sbuf-read-ctl	3	0
Sbuf-send-ctl	4	0
Sbuf-send-pkt2	1	1
Rcv-setup	1	0
Nak-pa	13	0
Mp-forward-pkt	6	0
Fifo	12	2

ตารางที่ 6.3 ผลการทดลองแสดงจำนวนคู่ของการเปลี่ยนแปลงสัญญาณทั้งหมดที่ได้จากการวิเคราะห์เพื่อใช้เป็นเวกเตอร์ทดสอบในการทวนสอบขั้นที่ 2

วงจร	จำนวนเวกเตอร์ทดสอบทั้งหมดที่ใช้ในการทดสอบ	
	ขั้นตอนวิธีการทดสอบแบบเชิงลำดับชั้น	ขั้นตอนวิธีการทดสอบแบบทั้งวงจร
C-element	11	18
Converta	8	9
Ebergen	5	9
Half	20	19
Hybridf	23	1800*
Nowick	7	48
Trimos-send	1161	1700*
Vbe5b	30	93
Vbe5c	43	84
Vbe6a	34	512
Vbe10b	128	2300*
Wrdata	8	24
Wrdatab	1505	22400*
Chu133	12	56
Sendr-done	4	4
Alloc-outbound	11	2
Rlm	5	2
Full	8	28
Input	7	16
Master-read	292	780*
Ram-read-sbuf	19	26
Sbuf-ram-write	44	13000*
Sbuf-read-ctl	7	8
Sbuf-send-ctl	99	188
Sbuf-send-pkt2	85	22
Rcv-setup	30	3
Nak-pa	14	360
Mp-forward-pkt	9	64
Fifo	10	100

ตารางที่ 6.4 ผลการทดลองแสดงการเปรียบเทียบจำนวนเวกเตอร์ทดสอบทั้งหมดที่ใช้ในการทดสอบวงจรระหว่างวิธีการทดสอบเชิงลำดับชั้นกับวิธีการทดสอบแบบทั้งวงจร

หมายเหตุ \* หมายถึง จำนวนเวกเตอร์ทดสอบที่ได้จากการประมาณ

## สรุปผลการวิจัยและข้อเสนอแนะ

การทวนสอบวงจรมหาเป็นงานวิจัยที่น่าสนใจ เพราะวิธีการต่างๆที่ใช้ในการทวนสอบวงจรมหายังคงมีข้อจำกัดดังที่ได้กล่าวไว้แล้วในบทนำ แต่เพื่อที่จะหลีกเลี่ยงข้อจำกัดที่เกิดขึ้น จึงได้มีงานวิจัยที่ได้นำเสนอวิธีการทวนสอบรูปแบบใหม่ได้แก่ วิธีการทวนสอบอย่างกึ่งแบบแผนโดยได้นำเสนอสเปคตรัมของวิธีการทวนสอบอย่างกึ่งแบบแผนขึ้นเพื่อใช้กำหนดรูปแบบของขั้นตอนวิธีการทวนสอบที่จะเป็นอีกทางเลือกหนึ่งในอนาคต

สำหรับงานวิจัยนี้มีวัตถุประสงค์เพื่อออกแบบและพัฒนาขั้นตอนวิธีการทวนสอบวงจรมหาแบบควอไซดีเลย์อินเซนซิทีฟ โดยได้ประยุกต์ใช้วิธีการทวนสอบอย่างกึ่งแบบแผนเพื่อลดข้อจำกัดต่างๆ ที่เกิดขึ้นกับวิธีการทวนสอบวงจรมหาแบบเดิม

### 7.1 สรุปผลการวิจัย

1. ขั้นตอนวิธีการทวนสอบวงจรมหาแบบควอไซดีเลย์อินเซนซิทีฟที่ได้นำเสนอนี้เป็นวิธีการทวนสอบอย่างกึ่งแบบแผน ซึ่งถ้าวิเคราะห์จากสเปคตรัมแล้วจะจัดอยู่ในระดับ smart simulation นั่นคือ เวกเตอร์ทดสอบจะถูกสร้างขึ้นด้วยขั้นตอนวิธีที่แน่นอนอย่างอัตโนมัติ และจำนวนเวกเตอร์ที่ถูกสร้างขึ้นจากขั้นตอนวิธีดังกล่าว จะมีจำนวนเท่ากับค่าความซับซ้อนไซโคลเมตริก ซึ่งสามารถรับประกันได้ว่าเวกเตอร์ทดสอบทั้งหมดเหล่านี้สามารถทวนสอบได้ครบทุกเส้นทางของกราฟสายงานที่ได้จากการวิเคราะห์กราฟ contracted STG โดยใช้จำนวนเวกเตอร์ทดสอบน้อยที่สุด

2. ขั้นตอนวิธีการทวนสอบวงจรมหาแบบควอไซดีเลย์อินเซนซิทีฟที่ได้นำเสนอในงานวิจัยฉบับนี้จะเป็นวิธีการทวนสอบเชิงลำดับขั้น ซึ่งมีข้อดีดังนี้

2.1) ขนาดของวงจรที่จะถูกทำการทวนสอบมีขนาดเล็กทำให้ลดความซับซ้อนที่เกิดขึ้นในการทวนสอบทั้งวงจร โดยจะกำหนดคุณลักษณะของวงจรเพื่อทำการทวนสอบกับวงจรย่อยด้วยการแยกชิกเนลทรานสิชันกราฟออกเป็นกราฟ contracted STG ของแต่ละวงจรย่อยด้วยเทคนิคการคอนแทรคชิกเนลทรานสิชันกราฟ

2.2) ความผิดพลาดของวงจรมักจะพบได้อย่างรวดเร็วจากการทวนสอบในขั้นที่ 1 โดยไม่จำเป็นต้องทำการทวนสอบทั้งวงจรเสร็จสิ้น

2.3) ในกรณีที่วงจรย่อยที่จะถูกทำการทวนสอบมีโครงสร้างเหมือนกับวงจรย่อยที่เคยผ่านการทวนสอบมาแล้ว เราสามารถนำผลการทวนสอบของวงจรย่อยที่เคยผ่านการทวนสอบมาใช้ได้อีกโดยไม่ต้องทำการทวนสอบใหม่อีกครั้ง



## 7.2 ข้อจำกัด

1. แม้ว่าจำนวนเวกเตอร์ทดสอบที่ได้เพื่อทำการทวนสอบในขั้นที่ 1 จะมีค่าเท่ากับค่าความซับซ้อนไซโคลเมตริก แต่ก็พบว่าบางวงจรย่อยมีจำนวนเวกเตอร์ทดสอบมากเกินไปที่ผู้ทำการทวนสอบจะเขียนโปรแกรม test bench เพื่อจำลองการทำงานของเวกเตอร์ทดสอบได้ครบทั้งหมด ทั้งนี้จากผลการทดลองในภาคผนวก ข. แสดงให้เห็นว่าจำนวนเวกเตอร์ทดสอบทั้งหมดของแต่ละวงจรย่อยที่ได้จากการสร้างด้วยขั้นตอนวิธีที่ 1 จะขึ้นอยู่กับจำนวนสัญลักษณ์ initial marking และจำนวนคู่ของการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation ในกราฟ contracted STG กล่าวคือ ในกรณีที่จำนวนสัญลักษณ์ initial marking ในกราฟ contracted STG มีมากกว่า หรือเท่ากับ 3 อัน และจำนวนคู่ของการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation ในกราฟ contracted STG มีมากกว่า 4 คู่ จะมีผลทำให้จำนวนเวกเตอร์ทดสอบมีมากเป็นจำนวนทวีคูณ

2. การสร้างเวกเตอร์ทดสอบเพื่อทวนสอบวงจรในขั้นที่ 1 นั้นได้ประยุกต์ใช้เทคนิค basis path testing เพื่อกำหนดเส้นทางในกราฟสายงานไว้ใช้เป็นเวกเตอร์ทดสอบ ดังนั้นจำนวนเวกเตอร์ทดสอบที่ได้จะไม่ใช่อันจำนวนเส้นทางที่เป็นไปได้ทั้งหมดของกราฟสายงาน

3. การทวนสอบวงจรในขั้นที่ 2 ไม่ได้พิจารณาเพื่อทวนสอบลำดับการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ของจำนวนเวกเตอร์ทดสอบทั้งหมดพร้อมกัน ซึ่งจำนวนครั้งของการพิจารณาเพื่อทวนสอบลำดับการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ของจำนวนเวกเตอร์ทดสอบทั้งหมดพร้อมกันจะมีค่าเท่ากับ  $2^n$  เมื่อ  $n$  = จำนวนเวกเตอร์ทดสอบทั้งหมด แต่จะทำการพิจารณาเฉพาะลำดับการเปลี่ยนแปลงสัญญาณที่เป็นไปได้ทั้งหมดของเวกเตอร์ทดสอบทีละอัน

## 7.3 ข้อเสนอแนะ

ขั้นตอนวิธีการทวนสอบที่ได้นำเสนอในงานวิจัยฉบับนี้ถือได้ว่าเป็นจุดเริ่มต้นของการทวนสอบอย่างกึ่งแบบแผน และเพื่อที่จะหลีกเลี่ยงข้อจำกัดต่างๆ ที่เกิดขึ้นสำหรับวิธีการทวนสอบวงจรแบบเดิมได้อย่างมีประสิทธิภาพยิ่งขึ้นเราควรที่จะพัฒนาขั้นตอนวิธีดังกล่าวไปอยู่ในระดับ prioritized model checking ซึ่งถือได้ว่าเป็นจุดปลายของสเปคตรัมของวิธีการทวนสอบอย่างกึ่งแบบแผนด้วยการนำสัญลักษณ์มาใช้แทนเซตของ state ทำให้สามารถลดจำนวน state ที่เกิดขึ้นภายในกราฟที่ไว้ใช้ในการพิจารณาสร้างเวกเตอร์ทดสอบ และเวกเตอร์ทดสอบที่ถูกสร้างขึ้นจากกราฟดังกล่าวควรเลือกเฉพาะเส้นทางที่มีโอกาสเกิด hazard มากกว่าเส้นทางอื่นเพราะจะทำให้ช่วยลดจำนวนเวกเตอร์ทดสอบในการทวนสอบวงจรด้วย

## รายการอ้างอิง

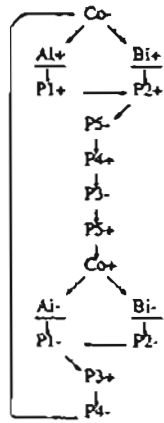
- [1] George M. Formal Specification and Verification of Digital Systems. Cambridge:McGraw-Hill, 1994.
- [2] Dill D. L. What's Between Simulation and Formal Verification?. Design Automation Conference 1998:328-329.
- [3] Clarke E.M. and Wing J.M. Formal Methods:State of the Art and Future Directions. IEEE Trans. Computers 1996:1-22.
- [4] Nanya T.,Ueno Y.,Kagotani H.,Kuwako M. and Takamura A. TITAC:Design of a Quasi-Dealy-Insensitive Microprocessor. IEEE Design & Test of Computers 1994:50-63.
- [5] Chu,T.A. Synthesis of Self-timed VLSI Circuits from Graph-Theoretic Specifications. Department of Electrical Engineering and Computer Science,Massachusetts Institue of Technology,1987.
- [6] Park,S.B. Synthesis of Asynchronous VLSI Circuits from Signal Transition Graph Specifications. Doctoral dissertation, Department of Engineering-Computer Science,Tokyo Institute of Technology,1996.
- [7] Hauck S. Asynchronous Design Methodologies:An Overview. Proceedings of the IEEE 1995: 69-93.
- [8] Pressman R.S. Software Engineering A Practitioner's Approach. 4<sup>th</sup> ed. Singapore:McGraw-Hill ,1997
- [9] Abramovici M.,Breuer M.A. and Friedman A.D. Digital Systems Testing and Testable Design. England:Computer Science Press,1990.
- [10] Kuwako M. and Nanya T. Timing-Reliability Evaluation of Asynchronous Circuits Based on Different Delay Models. Proceedings of the International Symposium on Advanced Research in Asynchronous Circuits and Systems 1994:22-31.
- [11] Dill D.L. and Nowick S.M. Synchronization Design for Digital Systems. Automatic Verification, pp148-172.
- [12] Sentovich,E.M.,et al. SIS:A System for Sequential Circuit Synthesis. U.C. Berkeley,UCB/ERL memo M92/41,May 1992.
- [13] Hanson B. Brinch Hansen on Pascal Compiler. America:Prentice Hall International,1985.
- [14] George F.L. and William A.S. Artificial Intelligence and the Desian of Expert Systems. California:Benjamin/Cummings,1989.
- [15] Donald E.T. and Phillip R.M. The Verilog Hardware Description Language. America:Kluwer Academic,1994.



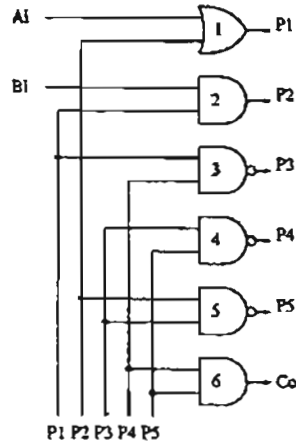
ภาคผนวก

ภาคผนวก ก  
เกณฑ์เปรียบเทียบสมรรถนะ

[C-element]

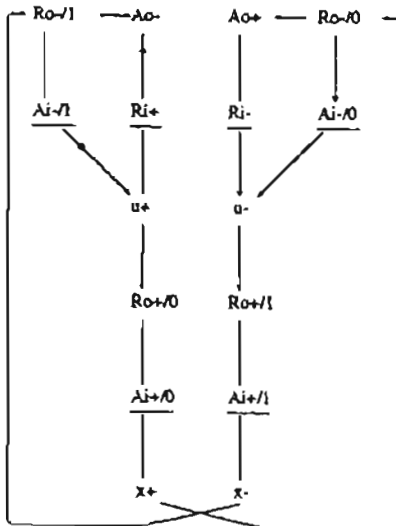


(a) STG

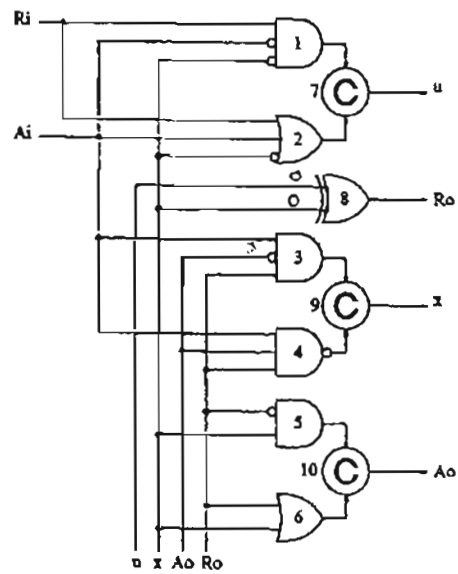


(b) circuit implementation

[converta]

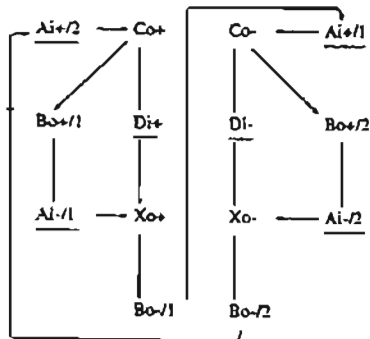


(a) STG

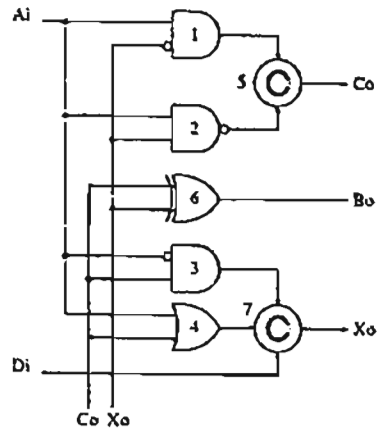


(b) circuit implementation

[ebergen]

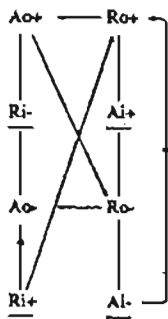


(a) STG

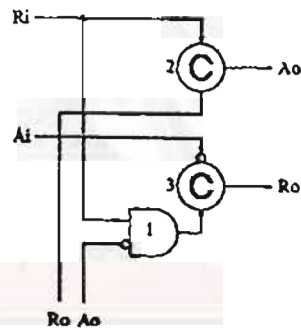


(b) circuit implementation

[half]

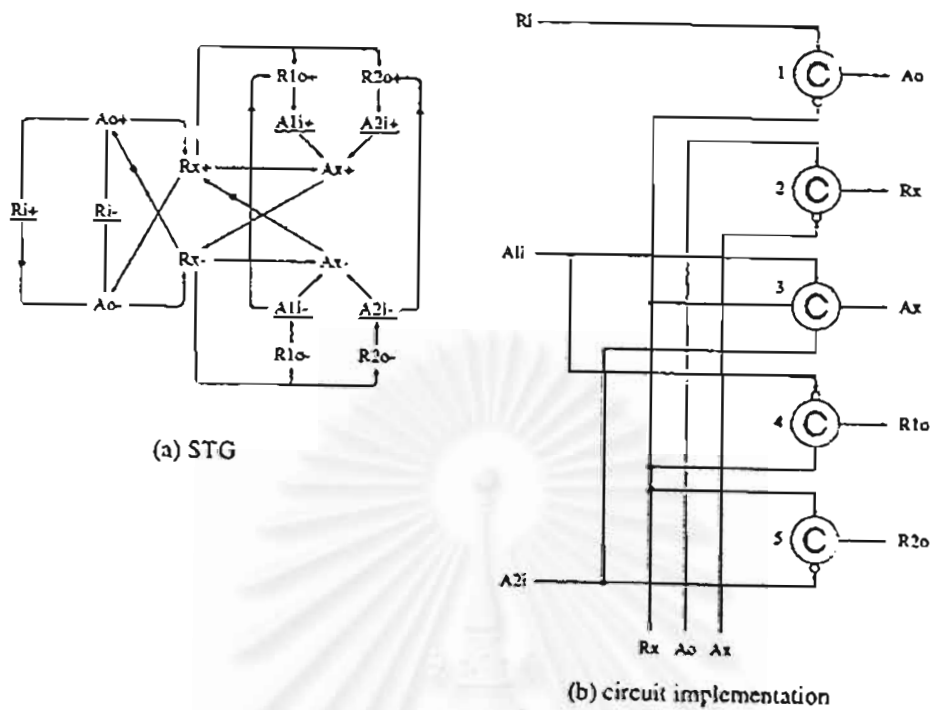


(a) STG

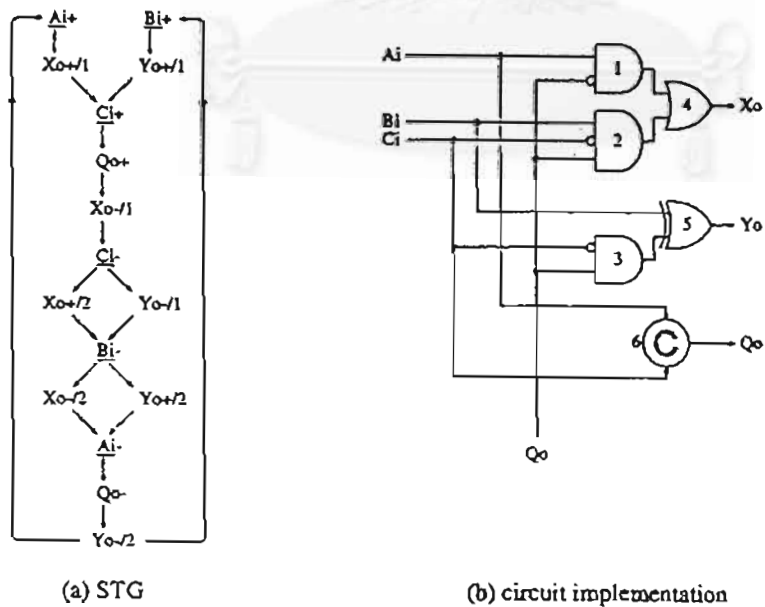


(b) circuit implementation

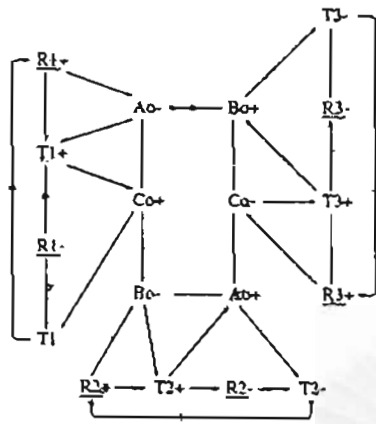
[hybridf]



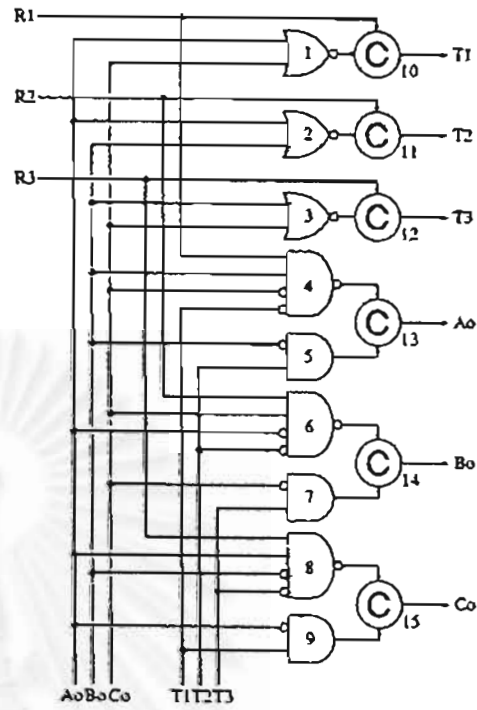
[nowick]



[trimos-send]

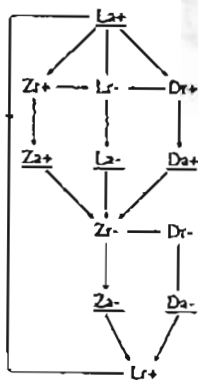


(a) STG

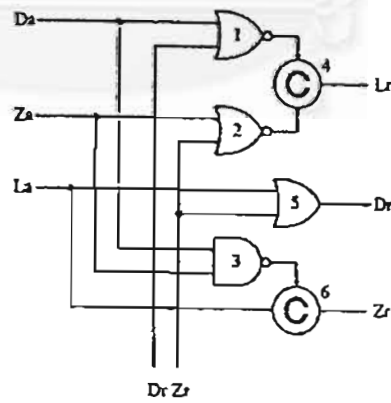


(b) circuit implementation

[vbe5b]

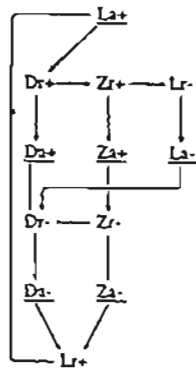


(a) STG

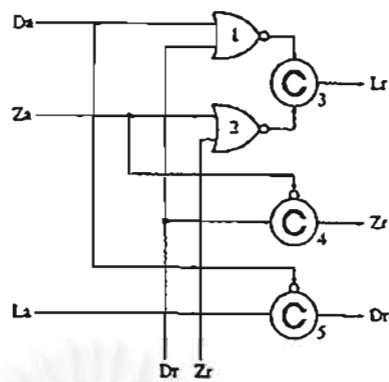


(b) circuit implementation

[vbe5c]

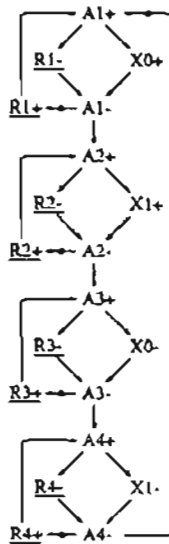


(a) STG

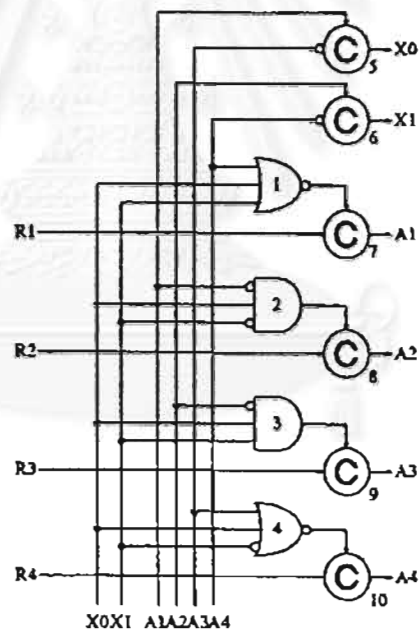


(b) circuit implementation

[vbe6a]



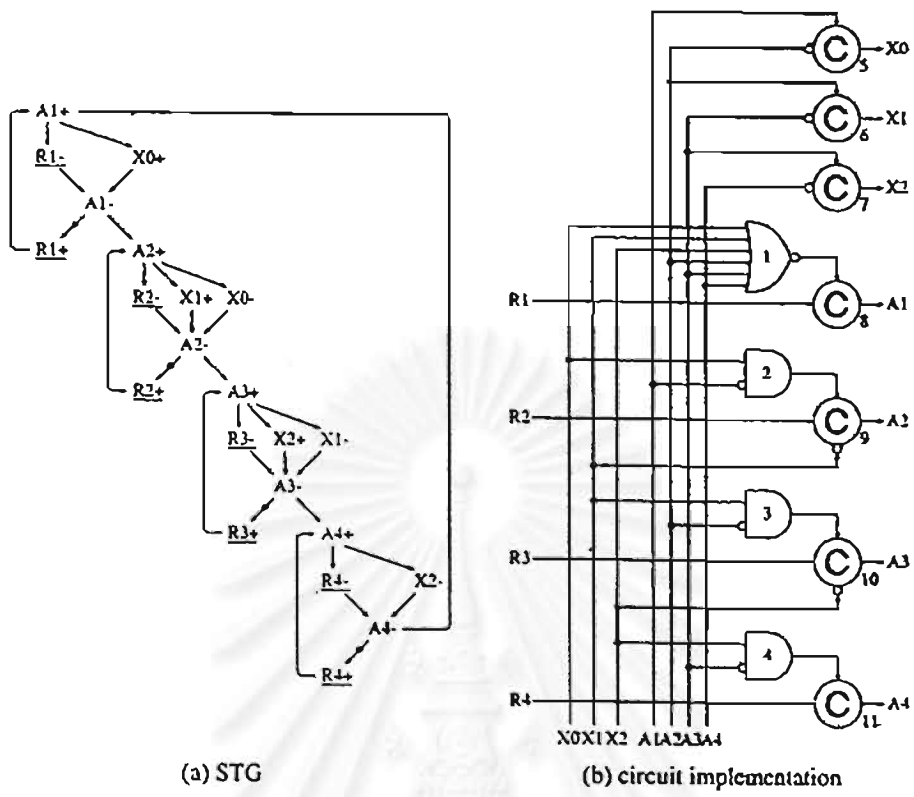
(a) STG



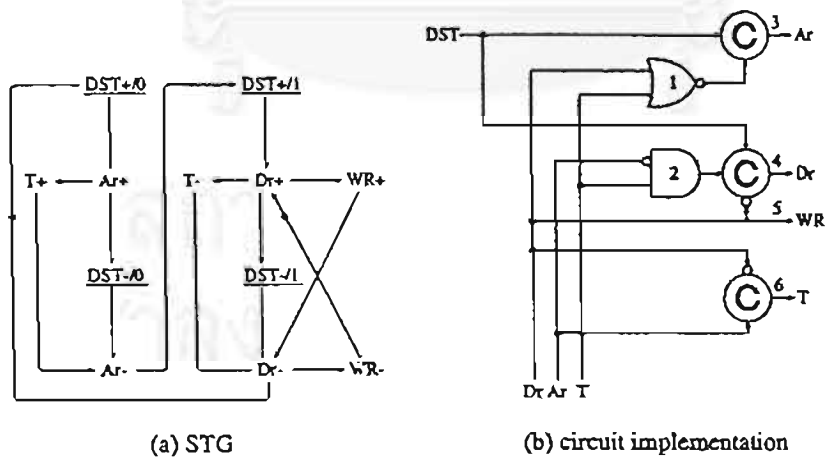
(b) circuit implementation



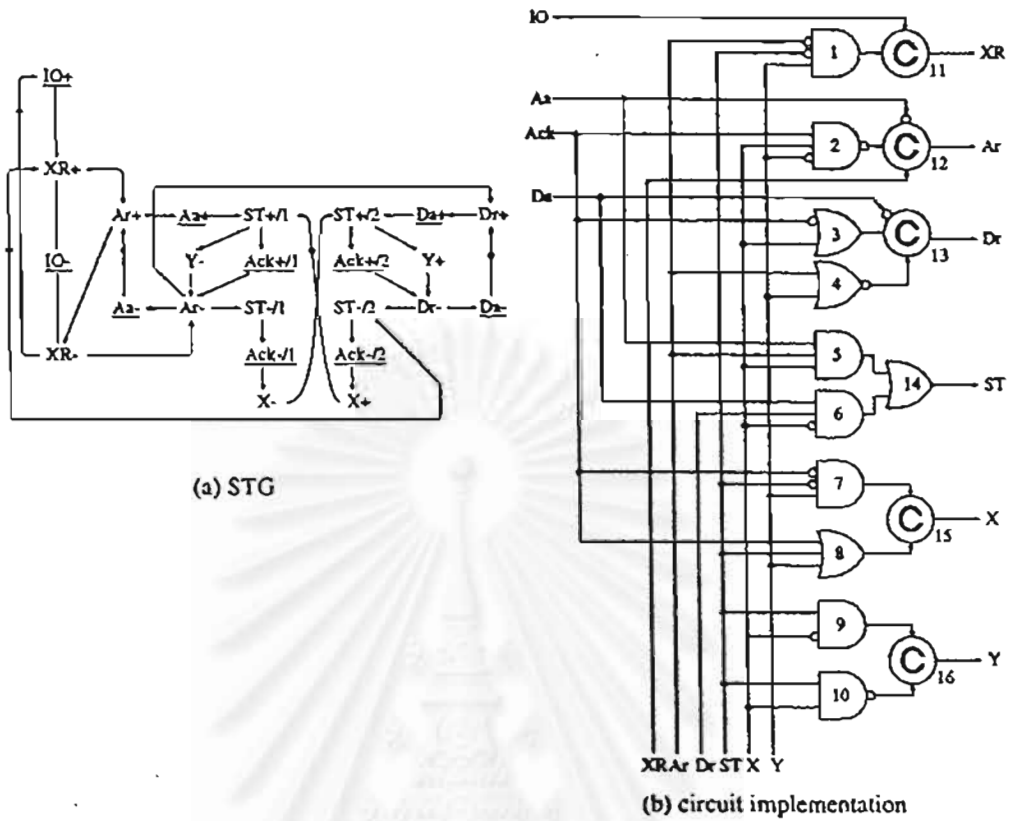
[vbe10b]



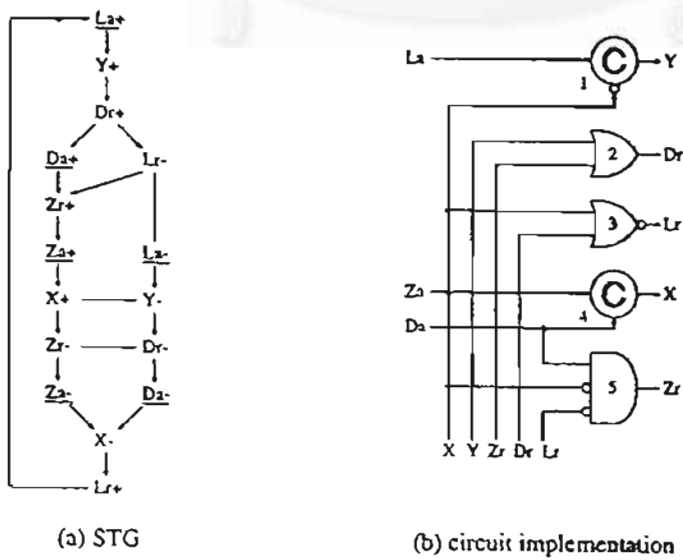
[wrdata]



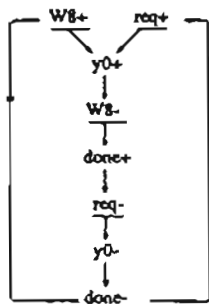
[wrdatab]



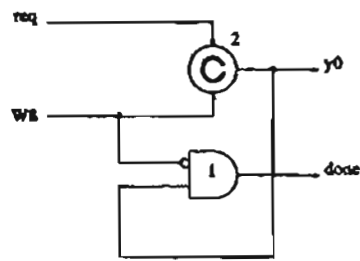
[chu133]



[sendr-done]

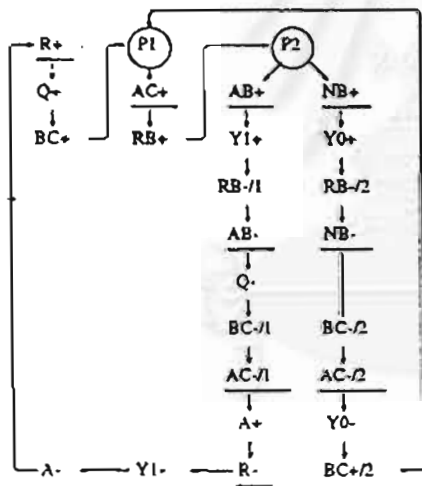


(a) STG

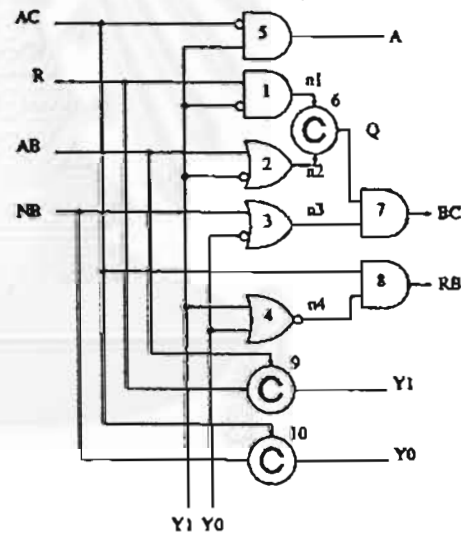


(b) circuit implementation

[alloc-outbound]

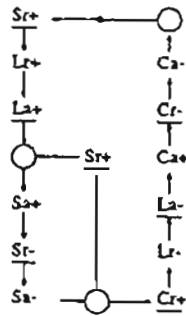


(a) STG

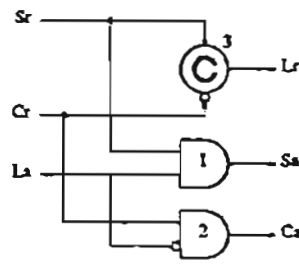


(b) circuit implementation

[rim]

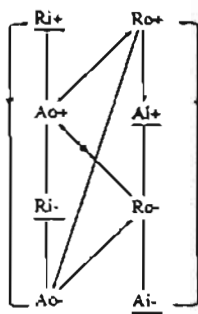


(a) STG

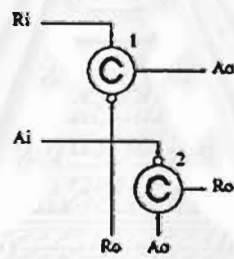


(b) circuit implementation

[full]

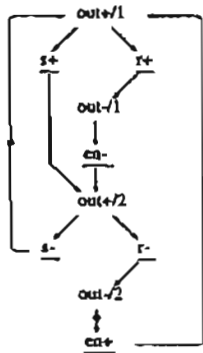


(a) STG

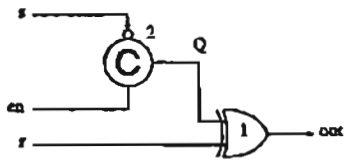


(b) circuit implementation

[input]

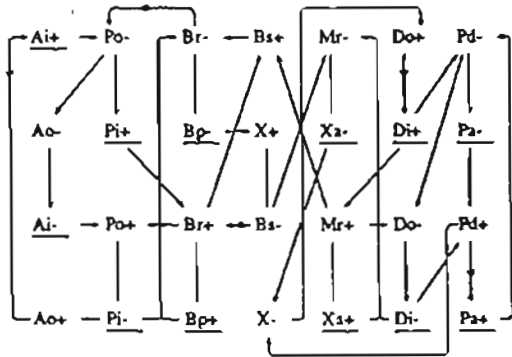


(a) STG

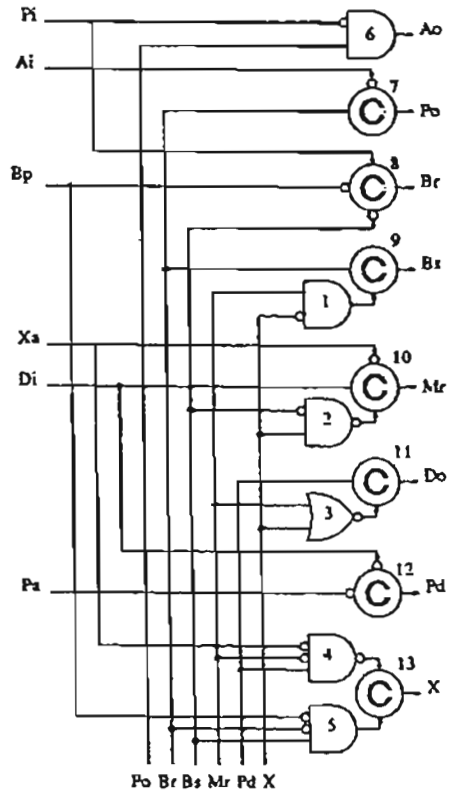


(b) circuit implementation

[master-read]

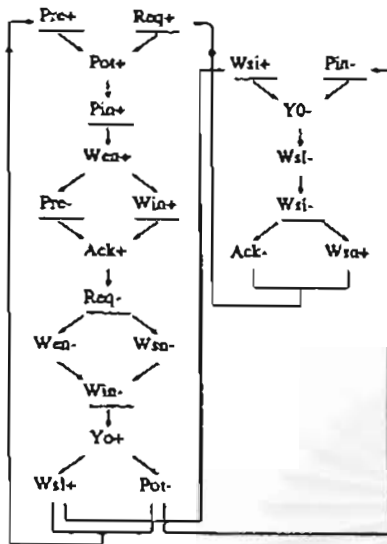


(a) STG

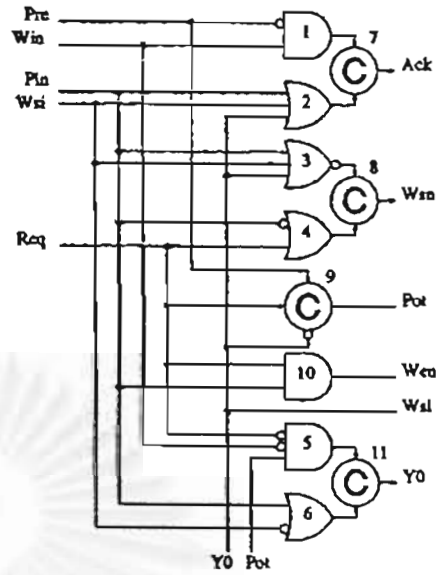


(b) circuit implementation

[ram-read-sbuf]

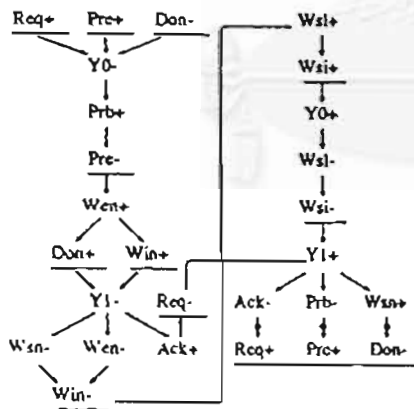


(a) STG

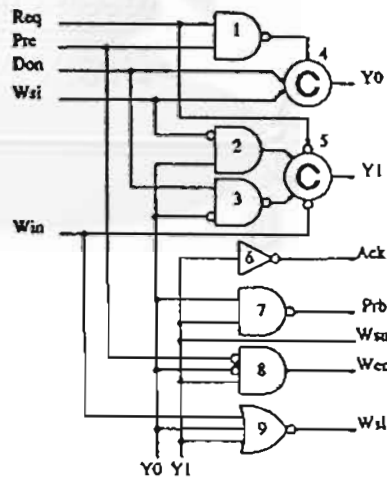


(b) circuit implementation

[sbuf-ram-write]



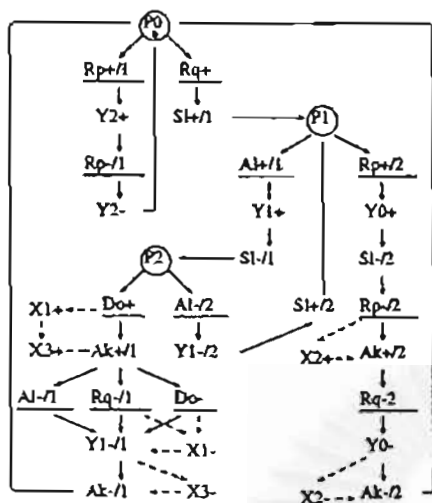
(a) STG



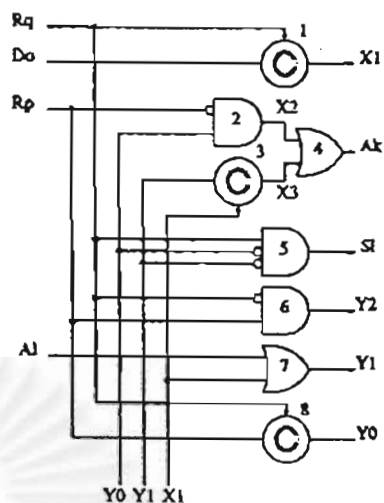
(b) circuit implementation



[sbuf-send-pkt2]

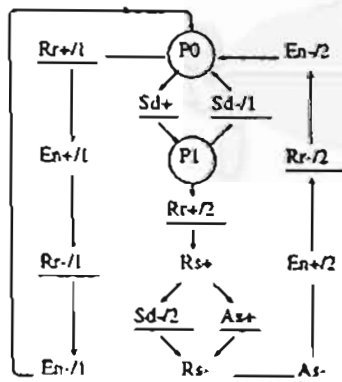


(a) STG

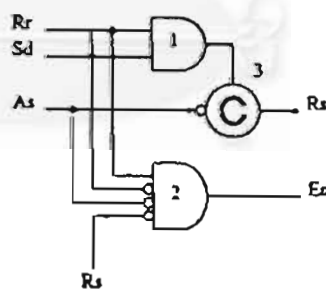


(b) circuit implementation

[rcv-setup]



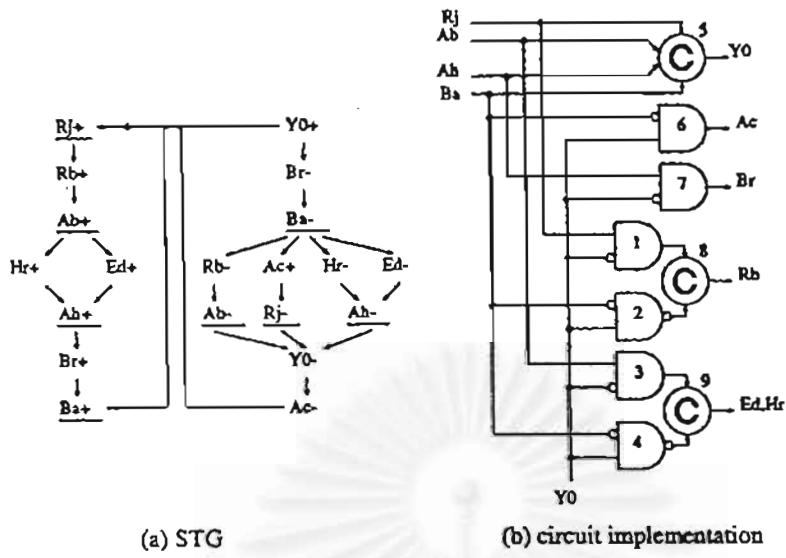
(a) STG



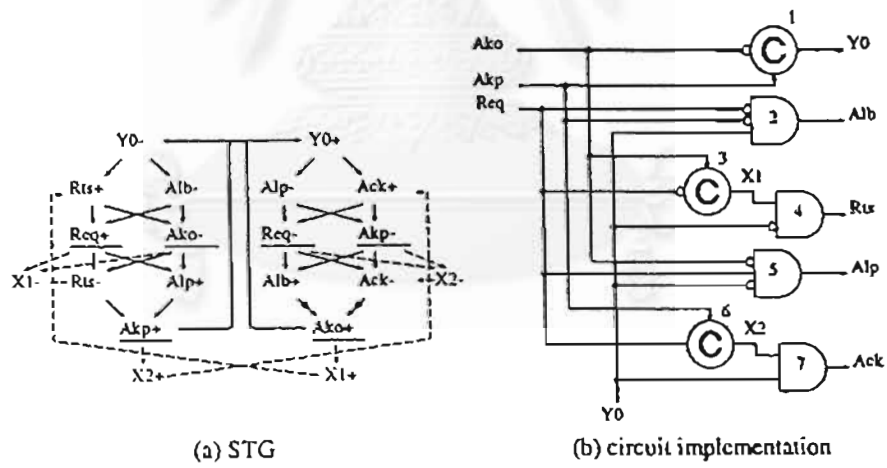
(b) circuit implementation



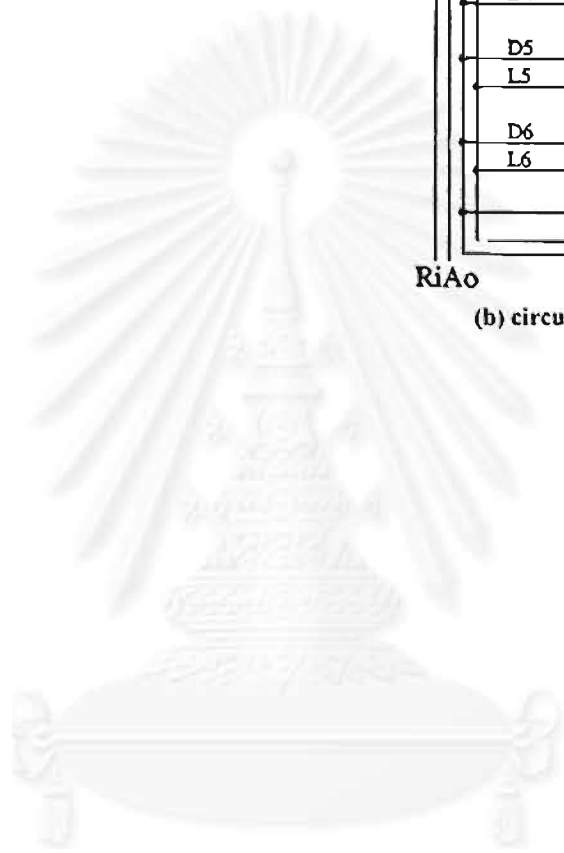
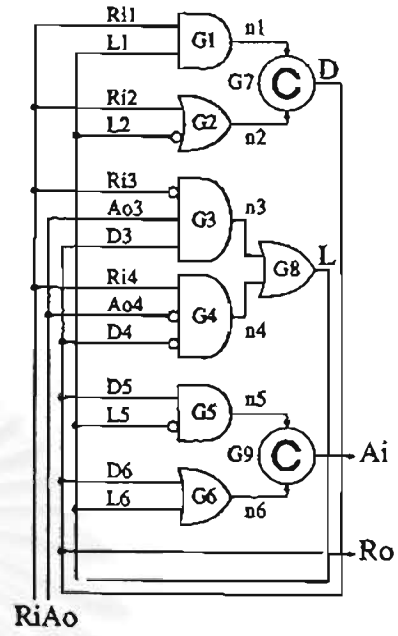
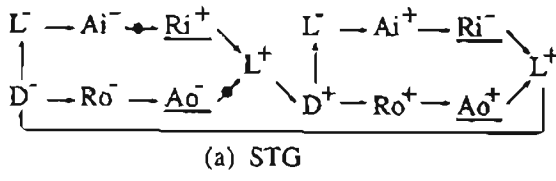
[nak-pa]



[mp-forward-pkt1]



[fifo]



## ภาคผนวก ข.

รายละเอียดเกี่ยวกับเวกเตอร์ทดสอบที่ได้จากการสร้างของขั้นตอนวิธีที่ 1

วงจร	วงจรร้อยสำหรับสัญญาณ	จำนวนเวกเตอร์ทดสอบทั้งหมดของกราฟสายงาน	จำนวนเวกเตอร์ทดสอบที่ได้จากขั้นตอนวิธีที่ 1	จำนวนสัญลักษณ์ Initial marking	จำนวนคู่ของการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation
C - element	P1	2	2	1	1
	P2	4	3	2	1
	P3	1	1	1	0
	P4	1	1	1	0
	P5	1	1	1	0
Converla	Co	1	1	1	0
	U	4	3	2	2
	Ro	1	1	1	0
	X	4	3	2	2
Ebergen	Ao	1	1	1	0
	Co	1	1	1	0
	Bo	1	1	1	0
Half	Xo	4	3	1	2
	Ao	2	2	1	1
Hybridf	Ro	17	17	1	4
	Ao	4	3	2	2
	Rx	4	3	2	2
	Ax	4	3	1	2
	R1o	1	1	1	0
	R2o	1	1	1	0
Nowick	Xo	6	4	2	2
	Yo	1	1	1	0
	Qo	1	1	1	0
Trimos-send	T1	16	16	2	5
	T2	16	16	2	5
	T3	16	16	2	5
	Ao	368	368	4	16
	Bo	368	368	4	16
	Co	368	368	4	16
	Vbe5b	Lr	96	19	2
	Zr	14	9	1	5
	Dr	2	2	2	1

วงจร	วงจรรย่อสำหรับ สัญญาณ	จำนวนเวกเตอร์ ทดสอบทั้งหมด ของกราฟสาย งาน	จำนวนเวกเตอร์ ทดสอบที่ได้จาก ขั้นตอนวิธีที่ 1	จำนวน สัญลักษณ์ initial marking	จำนวนคู่ของการเปลี่ยน แปลงสัญญาณที่มีคุณ สมบัติ concurrent temporal relation
Vbe5c	Lr	36	36	1	7
	Zr	2	2	1	1
	Dr	2	2	1	1
Vbe6a	Xo	1	1	1	1
	X1	1	1	1	1
	A1	14	7	2	6
	A2	14	7	2	6
Vbe10b	A3	14	7	2	6
	A4	14	7	2	6
	Xo	1	1	1	1
	X1	1	1	1	1
Wrdata	X2	1	1	1	1
	A1	96	96	5	7
	A2	30	10	2	7
	A3	30	10	2	7
Wrdatab	A4	8	5	2	4
	Ar	4	3	1	2
	Dr	4	3	1	2
	Wr	1	1	1	0
Chu133	T	1	1	1	0
	Xr	61	61	2	8
	Ar	742	112	3	9
	Dr	864	864	4	11
	St	450	450	3	11
Alloc-outbound	X	4	3	1	2
	Y	1	1	1	0
	Y	2	2	1	1
	Dr	2	2	1	1
	Lr	1	1	1	0
Sendr-done	Xr	2	2	1	1
	Zr	2	2	1	1
	Yo	4	4	2	1
Alloc-outbound	Done	1	1	1	0
	A	2	2	1	0
	Bc	3	3	1	0
Alloc-outbound	Rb	2	2	1	0

วงจร	วงจรวย่อยสำหรับสัญญาณ	จำนวนเวกเตอร์ทดสอบทั้งหมดของกราฟสายงาน	จำนวนเวกเตอร์ทดสอบที่ได้จากขั้นตอนวิธีที่ 1	จำนวนสัญลักษณ์ Initial marking	จำนวนคู่ของการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation
Alloc-outbound	Y1	1	1	1	0
	Yo	2	2	1	0
	Q	1	1	1	0
Rlm	Lr	2	2	1	0
	Sa	2	2	1	0
	Ca	1	1	1	0
Full	Ao	4	4	2	2
	Ro	4	4	2	2
In-out	In-out	16	16	1	9
Master-read	Ao	2	2	1	1
	Po	4	4	2	2
	Br	12	12	2	4
	Bs	4	4	2	3
	Mr	6	6	3	2
	Do	7	7	2	3
	Pd	8	8	2	3
	X	242	242	4	9
Ram-read-sbuf	Ack	12	12	2	5
	Wsn	2	2	1	1
	Pot	8	8	2	3
	Wen	1	1	1	0
	Wsl	1	1	1	0
	Yo	3	3	1	2
	Y1	24	24	2	6
Sbuf-ram-write	Ack	1	1	1	0
	Prb	1	1	1	0
	Wsn	1	1	1	0
	Wen	1	1	1	0
	Wsl	1	1	1	0
	Ak	1	1	1	0
	Rb	1	1	1	0
Sbuf-read-ctl	Br	2	2	1	1
	Yo	1	1	1	0
	Y1	2	2	2	1

วงจร	วงจรรย่อยสำหรับสัญญาณ	จำนวนเวกเตอร์ทดสอบทั้งหมดของกราฟสายงาน	จำนวนเวกเตอร์ทดสอบที่ได้จากขั้นตอนวิธีที่ 1	จำนวนสัญลักษณ์ initial marking	จำนวนคู่ของการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation
Sbuf-send-ctl	La	8	8	1	0
	Lb	84	84	1	2
	Rs	2	2	1	0
	Y1	2	2	1	0
	Yo	3	3	1	1
Sbuf-send-pkt2	X1	3	3	1	1
	Ak	54	54	1	0
	Sl	4	4	1	0
	Y2	10	10	1	0
	Y1	3	3	1	1
Rcv-setup	Yo	10	10	1	0
	Rs	15	15	1	1
	En	15	15	1	1
Nak-pa	Yo	6	6	1	3
	Ac	1	1	1	0
	Br	1	1	1	0
	Rb	2	2	1	1
	Ed	2	2	1	1
Mp-forward-pkt	Hr	2	2	1	1
	Yo	1	1	1	0
	Alb	2	2	1	1
	Rts	2	2	1	1
	Alp	2	2	1	1
Fifo	Ack	2	2	1	1
	Ai	1	1	1	0
	Ro	1	1	1	0
	D	1	1	1	0
	L	9	9	2	4

ภาคผนวก ค.

การวิเคราะห์หาเวกเตอร์ทดสอบในชั้นที่ 2 กับเกณฑ์เปรียบเทียบสมรรถนะ( อ้างอิงรูปที่5.2)

[C-element]

คู่ของการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลงสัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Ai+    Bi+	P1+	3	ทวนสอบ
	P2+	3	
Ai-    Bi-	P2-	3	ทวนสอบ
	P1-	3	
Bi+    P1+	P2+	1	ไม่ทวนสอบ
Ai-    P2-	P1-	1	ไม่ทวนสอบ

[converta]

คู่ของการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลงสัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Ao+    Ai-/0	Ri-	2	ไม่ทวนสอบ
	u-	3	
Ao-    Ai-/1	Ri+	2	ไม่ทวนสอบ
	u+	3	
Ri-    Ai-/0	u+	1	ไม่ทวนสอบ
Ri+    Ai-/1	u+	1	ไม่ทวนสอบ

[ebergen]

คู่ของการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลงสัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Bo+/1    Di+		4	ไม่ทวนสอบ
Bo+/2    Di-		4	ไม่ทวนสอบ
Ai-/1    Di+	Xo+	1	ไม่ทวนสอบ
Ai-/2    Di+	Xo+	1	ไม่ทวนสอบ

[half]

คู่ของการเปลี่ยนแปลงสัญญาณที่มีคุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลงสัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Ao+    Ai+	Ri-	2	ไม่ทวนสอบ
	Ro-	1	

[half]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Ao-    Ai-	Ri+	2	ไม่ทดสอบ
	Ro+	1	
Ri-    Ai+	Ro-	2	ทดสอบ
	Ao-	3	
Ri+    Ai-	Ro+	1	ไม่ทดสอบ
Ri-    Ro-	Ao-	1	ไม่ทดสอบ

[hybridf]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Ri-    Rx+	Ao-	1	ทดสอบ
	Ax+	3	
Rj+    Rx-	Ao+	1	ทดสอบ
	Ax-	3	
Ri-    R1o+		4	ไม่ทดสอบ
Ri+    R1o-		4	ไม่ทดสอบ
Ri-    R2o+		4	ไม่ทดสอบ
Ri+    R2o-		4	ไม่ทดสอบ
Ri-    A1i+	Ao-	3	ทดสอบ
Ri+    A1i-	Ax+	3	ทดสอบ
Ri-    A2i+	Ao-	3	ทดสอบ
Ri+    A2i-	Ax+	3	ทดสอบ
Ri-    Ax+	Ao-	3	ทดสอบ
Ri+    Ax-	Rx-	3	ทดสอบ
Ao-    R1o+		4	ไม่ทดสอบ
Ao+    R1o-		4	ไม่ทดสอบ
Ao-    R2o+		4	ไม่ทดสอบ
Ao+    R2o-		4	ไม่ทดสอบ
Ao-    A1i+	Ax+	3	ทดสอบ
Ao+    A1i-	Rx-	3	ทดสอบ
Ao-    A2i+	Ax+	3	ทดสอบ
Ao+    A2i-	Rx-	3	ทดสอบ
Ao-    Ax+	Rx-	1	ไม่ทดสอบ
R1o+    R2o+		4	ไม่ทดสอบ
R1o-    R2o-		4	ไม่ทดสอบ



[hybrid]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
$R1o+ \parallel A2i+$		4	ไม่ทวนสอบ
$R1o- \parallel A2i-$		4	ไม่ทวนสอบ
$R2o+ \parallel A1i+$		4	ไม่ทวนสอบ
$R2o- \parallel A1i-$		4	ไม่ทวนสอบ
$A1i+ \parallel A2i+$	$Ax-$	1	ไม่ทวนสอบ
$A1i- \parallel A2i-$	$Ax+$	1	ไม่ทวนสอบ

[nowick]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
$Ai+ \parallel Bi+$	$Xo+/1$	1	ทวนสอบ
	$Yo+/1$	3	
$Ai+ \parallel Yo+/1$		4	ไม่ทวนสอบ
$Bi+ \parallel Xo+/1$		4	ไม่ทวนสอบ
$Xo+/2 \parallel Yo-/1$		4	ไม่ทวนสอบ
$Xo-/2 \parallel Yo+/2$		4	ไม่ทวนสอบ

[trimos-send]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
$Co+ \parallel R1-$	$T1-$	1	ทวนสอบ
	$Bo-$	3	
$Bo- \parallel T1-$	$R1+$	2	ทวนสอบ
	$T2+$	3	
	$Ao+$	1	
$Bo- \parallel R1+$	$Ao-,Ao+$	1	ทวนสอบ
	$T1+$	3	
	$T2+$	3	
$Ao+ \parallel R2-$	$T2-$	1	ทวนสอบ
	$Co-$	3	
$Co- \parallel T2-$	$R2+$	2	ทวนสอบ
	$T3+$	3	
	$Bo+$	1	

[trimos-send]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Co-    R2+	Bo-,Bo+	1	ทวนสอบ
	T2+	3	
	T3+	3	
Bo+    R3-	T3-	1	ทวนสอบ
	Ao-	3	
Ao-    T3-	R3+	2	ทวนสอบ
	T1+	3	
	Co+	1	
Ao-    R3+	Co-,Co+	1	ทวนสอบ
	T1+	3	
	T3+	3	

[vbe5b]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Zr+    Dr+	Lr-	1	ไม่ทวนสอบ
	Za+	2	
	Da+	2	
Dr+    Za+	Lr-	1	ไม่ทวนสอบ
	Da+	2	
	Zr-	3	
Zr+    Da+	Lr-	1	ไม่ทวนสอบ
	Za+	2	
	Zr-	3	
Za+    Da+	Zr-	1	ไม่ทวนสอบ
	Zr-	1	ไม่ทวนสอบ
Da+    La-	Zr-	1	ไม่ทวนสอบ
	Zr-	1	ไม่ทวนสอบ
Za-    Dr-	Lr+	1	ไม่ทวนสอบ
	Da-	2	
Za-    Da-	Lr+	1	ไม่ทวนสอบ
		4	ไม่ทวนสอบ
Da+    Lr-		4	ไม่ทวนสอบ

[vbe5c]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลกาวิเคราะห์
Da+    Zr+	Dr-	3	ไม่ทดสอบ
	Lr-	1	
	Za+	2	
Da+    Lr-		4	ไม่ทดสอบ
Da+    Za+	Dr-	3	ทดสอบ
	Zr-	3	
Da+    La-	Dr-	1	ไม่ทดสอบ
Dr-    Za+	Zr-	1	ไม่ทดสอบ
Da-    Zr-	Za-	2	ไม่ทดสอบ
	Lr+	1	
Da-    Za-	Lr+	1	ไม่ทดสอบ
Lr-    Za+		4	ไม่ทดสอบ
La-    Za+	Dr-	3	ทดสอบ
	Zr-	3	
Da-    Za+	Lr+	1	ทดสอบ
	Zr-	3	

[vbe6a]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลกาวิเคราะห์
R1-    Xo+	A1-	1	ไม่ทดสอบ
A2+    R1+	R2-	2	ทดสอบ
	X1+	3	
	A1+	3	
R2-    X1+	A2-	1	ไม่ทดสอบ
A3+    R2+	R3-	2	ทดสอบ
	Xo-	3	
	A2+	3	
R3-    Xo-	A3-	1	ไม่ทดสอบ
A4+    R3+	R4-	2	ทดสอบ
	X1-	3	
	A3+	3	
R4-    X1-	A4-	1	ไม่ทดสอบ
A1+    R4+	A4+	3	ทดสอบ
	R1-	2	

[vbe6a]

คู่มือการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
	X0+	3	

[vbe10b]

คู่มือการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
R1-    X0+	A1-	1	ไม่ทดสอบ
R1+    A2+	A1+	1	ทดสอบ
	R2-	2	
	X1+	3	
	X0-	3	
R2-    X1+    X0-	A2-	1	ไม่ทดสอบ
R2+    A3+	A2+	3	ทดสอบ
	R3-	2	
	X2+	3	
	X1-	3	
R3-    X2+    X1-	A3-	1	ไม่ทดสอบ
R3+    A4+	A3+	3	ทดสอบ
	R4-	2	
	X2-	3	
R4-    X2-	A4-	1	ไม่ทดสอบ
R4+    A1+	A4+	3	ทดสอบ
	R1-	2	
	X0+	3	

[wrdata]

คู่มือการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
T+    DST-/0	Ar-	1	ไม่ทดสอบ
DST-/1    WR+    T-	Dr-	1	ไม่ทดสอบ
DST+/0    WR-		4	ไม่ทดสอบ

[wrdatab]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
IO-    Ar+	XR-	1	ไม่ทดสอบ
	Aa+	2	
XR-    Aa+	Ar-	1	ทดสอบ
	ST+/0	3	
XR-    ST+/0	Ar-	3	ทดสอบ
	Ack+/0	2	
	Y-	3	
XR-    Ack+/0	Ar-	1	ไม่ทดสอบ
XR-    Y-	Ar-	1	ไม่ทดสอบ
Ack+/0    Y-	Ar-	1	ไม่ทดสอบ
Dr+    ST-/0	Da+	2	ไม่ทดสอบ
	Ack-/0	2	
Dr+    Aa-	Da+	2	ทดสอบ
	Ar+	3	
Dr+    Ack-/0	Da+	2	ทดสอบ
	X-	3	
Dr+    X-	Da+	2	ไม่ทดสอบ
	ST+/1	1	
Da+    ST-/0	Ack-/0	2	ทดสอบ
	ST+/1	3	
Da+    Ack-/0	X-	3	ทดสอบ
	ST+/1	3	
Da+    Aa-	ST+/1	1	ทดสอบ
	Ar+	3	
Da+    X-	ST+/1	1	ไม่ทดสอบ
Ack+/1    Y+	Dr-	1	ไม่ทดสอบ
Da-    ST-/1	Dr+	3	ทดสอบ
	XIR+	3	
Da-    Ack-/1	Ack-/1	2	
	Dr+	1	ทดสอบ
Da-    X+	X+	3	
	Dr+	1	ไม่ทดสอบ
IO-    Aa+	ST+/0	1	
	XR-	3	ทดสอบ
	ST+/0	3	

[wrdatab]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
IO-    ST+/0	XR-	3	ทวนสอบ
	Ack+/0	2	
	Y-	3	
IO-    Ack+/0	XR-	3	ทวนสอบ
	Ar-		
IO-    Y-	Ar-	3	ทวนสอบ
	XR-	3	
IO+    Ar-	XR+	1	ทวนสอบ
	Dr+	3	
	ST-/0	3	
	Aa-	2	

[chu133]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Da+    Lr-	Zr+	1	ไม่ทวนสอบ
	La-	2	
Da+    La-	Dr-	3	ทวนสอบ
	Y-	3	
Za+    La-	X+	3	ทวนสอบ
	Y-	3	
X+    La-	Y-	1	ทวนสอบ
	Zr-	3	
Zr-    Y-	Dr-	1	ไม่ทวนสอบ
Za-    Da-	X-	1	ไม่ทวนสอบ

[sendr-done]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
W8+    req+	Y0+	1	ไม่ทวนสอบ

[full]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบท่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Ri-    Ro+	Ao-	1	ไม่ทดสอบ
	Ai+	2	

[full]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบท่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Ri+    Ro-	Ao+	1	ไม่ทดสอบ
	Ai-	2	
Ri-    Ai+	Ao-	3	ทดสอบ
	Ro-	3	
Ri+    Ai-	Ao+	3	ทดสอบ
	Ro+	3	
Ao-    Ai+	Ri+	2	ไม่ทดสอบ
	Ro-	1	
Ao+    Ai-	Ri-	2	ไม่ทดสอบ
	Ro+	1	

[input]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบท่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
S+    R+	Out-/1	1	ไม่ทดสอบ
	Out+/2	1	
S+    Out-/1	En-	2	ไม่ทดสอบ
	Out+/2	1	
S+    En-	Out+/2	1	ไม่ทดสอบ
S-    R-	Out+/1	1	ไม่ทดสอบ
	Out-/2	1	
S-    Out-/2	En+	2	ไม่ทดสอบ
	Out+/1	1	
S-    En+	Out+/1	1	ไม่ทดสอบ

[master-read]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Ao-    Pi+		4	ไม่ทดสอบ
Ao-    Br+		4	ไม่ทดสอบ
Ao-    Bp+		4	ไม่ทดสอบ
Ao-    Bs+		4	ไม่ทดสอบ
Ai-    Pi+	Po+	3	ทดสอบ
	Br+	3	
Ai-    Br+	Po+	1	ทดสอบ
	Bp+	2	
	Bs+	3	
Ai-    Bp+	Po+	3	ทดสอบ
	Br+	3	
Ai-    Bs+	Po+	3	ทดสอบ
	Br+	3	
Pi-    Bp+	Ao+	3	ทดสอบ
	Br-	1	
Pi-    Bs+	Ao+	3	ทดสอบ
	Br-	1	
Ao+    Br-		4	ไม่ทดสอบ
Ao+    Bp+		4	ไม่ทดสอบ
Ao+    X+		4	ไม่ทดสอบ
Ao+    Bs-		4	ไม่ทดสอบ
Ao+    Mr-		4	ไม่ทดสอบ
Ao+    Xa-		4	ไม่ทดสอบ
Ao+    X-		4	ไม่ทดสอบ
Ao+    Do+		4	ไม่ทดสอบ
Ao+    Di+		4	ไม่ทดสอบ
Ao+    Pd-		4	ไม่ทดสอบ
Ao+    Mr+		4	ไม่ทดสอบ
Ao+    Pa-		4	ไม่ทดสอบ
Ao+    Do-		4	ไม่ทดสอบ
Ao+    Xa+		4	ไม่ทดสอบ
[Ao+    Di-		4	ไม่ทดสอบ
Ao+    Pd+		4	ไม่ทดสอบ
Ao+    Pa+		4	ไม่ทดสอบ



## [master-read]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Mr-    Br+	Xa-	2	ทวนสอบ
	Bp+	2	
	Po+	3	
	Bs+	1	
Pd-    Mr+	Pa-	2	ไม่ทวนสอบ
	Xa+	2	
	Do-	1	
Pd-    Xa+	Mr-	3	ทวนสอบ
	Pa-	2	
	Do-	3	
Pa-    Do-		4	ไม่ทวนสอบ
Pa-    Xa+	Pd+	3	ทวนสอบ
	Mr-	3	
Pa-    Di-	Pd+	1	ไม่ทวนสอบ
Di-    Xa+	Mr-	1	ไม่ทวนสอบ
Pa+    X-	Pd-	3	ทวนสอบ
	Do+	3	
Pa-    Mr+	Pd+	3	ทวนสอบ
	Bs+	3	
Po+    Bp+	Pi-	2	ทวนสอบ
	Br-	3	
Po+    Bs+	Pi-	2	ทวนสอบ
	Br-	3	

## [ram-read-sbuf]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Pre+    Req+	Pot+	1	ไม่ทวนสอบ
Pre-    Win+	Ack+	1	ไม่ทวนสอบ
Wen-    Wsn-		4	ไม่ทวนสอบ
Wsl+    Pot-		4	ไม่ทวนสอบ
Wsl+    Pin-		4	ไม่ทวนสอบ
Pot-    Wsl+	Pin-	2	ไม่ทวนสอบ
	Yo-	1	

## [ram-read-sbuf]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบท่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Wsi+    Pin-	Yo-	1	ไม่ทดสอบ
Ack-    Wsn+		4	ไม่ทดสอบ
Ack-    Pre+		4	ไม่ทดสอบ
Wsn+    Pre+		4	ไม่ทดสอบ
Wsl+    Req+		4	ไม่ทดสอบ
Pot-    Req+		4	ไม่ทดสอบ

## [sbuf-ram-write]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบท่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Req+    Pre+    Don-	Yo-	1	ไม่ทดสอบ
Don+    Win+	Y1-	1	ไม่ทดสอบ
Wsn-    Wen-		4	ไม่ทดสอบ
Wsn-    Ack+		4	ไม่ทดสอบ
Wsn-    Req-		4	ไม่ทดสอบ
Wen-    Ack+		4	ไม่ทดสอบ
Wen-    Req-		4	ไม่ทดสอบ
Win-    Ack+		4	ไม่ทดสอบ
Win-    Req-	Wsl+	3	ทดสอบ
	Y1+	1	
Wsl+    Ack+		4	ไม่ทดสอบ
Wsl+    Req-		4	ไม่ทดสอบ
Wsi+    Ack+		4	ไม่ทดสอบ
Wsi+    Req-	Yo+	1	ไม่ทดสอบ
	Y1+	1	ไม่ทดสอบ
Yo+    Ack+		4	ไม่ทดสอบ
Yo+    Req-	Wsl-	3	ทดสอบ
	Y1+	1	
Wsi-    Ack+		4	ไม่ทดสอบ
Wsi-    Req-	Y1+	1	ไม่ทดสอบ
Wsl-    Ack+		4	ไม่ทดสอบ
Wsl-    Req-		4	ไม่ทดสอบ
Ack-    Prb-		4	ไม่ทดสอบ
Ack-    Wsn+		4	ไม่ทดสอบ
Ack-    Pre+		4	ไม่ทดสอบ
Ack-    Don-		4	ไม่ทดสอบ

## [sbuf-ram-write]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Prb-    Ack-		4	ไม่ทวนสอบ
Prb-    Wsn+		4	ไม่ทวนสอบ
Prb-    Req+		4	ไม่ทวนสอบ
Prb-    don-		4	ไม่ทวนสอบ
Wsn+    Ack-		4	ไม่ทวนสอบ
Wsn+    Prb-		4	ไม่ทวนสอบ
Wsn+    Pre+		4	ไม่ทวนสอบ
Wsn+    Don-		4	ไม่ทวนสอบ

## [sbuf-read-ctl]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Yo+    Y1+	Br-	1	ไม่ทวนสอบ
Rb-    Ak+		4	ไม่ทวนสอบ
Rq+    Ar-	Y1+	1	ไม่ทวนสอบ

## [sbuf-send-ctl]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
lb+    La+/1		4	ไม่ทวนสอบ
Y1-    Y0-	La-	1	ไม่ทวนสอบ
Rp-/2    As+/2	Yo+/2	1	ไม่ทวนสอบ
Rs-/2    La+/2	As-/2	4	ไม่ทวนสอบ

## [sbuf-send-pkt2]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
A1-/2    Rq-/2    Do-	Y1-/2	3	ทวนสอบ

## [rcv-setup]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Sd-    As+	Rs-	1	ไม่ทวนสอบ

## [nak-pa]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Hr+    Ed+		4	ไม่ทดสอบ
Rb-    Ac+		4	ไม่ทดสอบ
Rb-    Ed-		4	ไม่ทดสอบ
Rb-    Hr-		4	ไม่ทดสอบ
Rb-    Rj-		4	ไม่ทดสอบ
Rb-    Ah-		4	ไม่ทดสอบ
Ac+    Hr-		4	ไม่ทดสอบ
Ac+    Ed-		4	ไม่ทดสอบ
Ac+    Ab-		4	ไม่ทดสอบ
Ac+    Ah-		4	ไม่ทดสอบ
Ed-    Hr-		4	ไม่ทดสอบ
Ed-    Ab-		4	ไม่ทดสอบ
Ed-    Rj-		4	ไม่ทดสอบ

## [mp-forward-pkt]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Ris+    Alb-		4	ไม่ทดสอบ
Req+    Ako-	Rts-	1	ไม่ทดสอบ
	Alp+	1	
Rts-    Alp+	Akp+	4	ไม่ทดสอบ
Alp-    Ack+		4	ไม่ทดสอบ
Req-    Akp-	Alb+	1	ไม่ทดสอบ
	Ack-	1	
Alb+    Ack-		4	ไม่ทดสอบ

## [fifo]

คู่ของการเปลี่ยนแปลงสัญญาณที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สัญญาณใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Ro+    L-		4	ไม่ทดสอบ
Ro+    Ai+		4	ไม่ทดสอบ
Ro+    Ri-		4	ไม่ทดสอบ
Ao+    L-	Ai+	3	ทดสอบ
	L+	3	
Ao+    Ai+		4	ไม่ทดสอบ

[fifo]

คู่ของการเปลี่ยนแปลงสถานะที่มี คุณสมบัติ concurrent temporal relation	ผลกระทบต่อการเปลี่ยนแปลง สถานะใน STG	กรณีที่เป็นไปได้	ผลการวิเคราะห์
Ao+    Ri-	L+	1	ไม่ทดสอบ
L-    Ro-		4	ไม่ทดสอบ
L-    Ao-	L+	3	ทดสอบ
	Ai-	4	
Ai-    Ro-		4	ไม่ทดสอบ
Ai-    Ao-		4	ไม่ทดสอบ
Ri+    Ro-		4	ไม่ทดสอบ
Ri+    ao-	L+	1	ไม่ทดสอบ

- สำหรับเกณฑ์เปรียบเทียบสมรรถนะ วงจร alloc-outbound และ rlm จะพบว่าไม่มีคู่ของการเปลี่ยนแปลงสถานะที่มีคุณสมบัติ concurrent temporal relation

## ประวัติผู้วิจัย

นายเด่นดวง ประดับสุวรรณ เกิดเมื่อวันที่ 12 กุมภาพันธ์ พ.ศ. 2516 ที่อำเภอคูสิต จังหวัดกรุงเทพมหานคร สำเร็จการศึกษาปริญญาตรีวิทยาศาสตร์บัณฑิต เกียรตินิยมอันดับสอง ภาควิชาวิทยาการคอมพิวเตอร์ คณะวิทยาศาสตร์ มหาวิทยาลัยรามคำแหง ในปีการศึกษา 2537 และเข้าศึกษาต่อในหลักสูตรวิทยาศาสตรมหาบัณฑิต สาขาวิชาวิทยาศาสตร์คอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย เมื่อ พ.ศ. 2540

